



**UNIVERSIDADE DO ESTADO DO RIO DE JANEIRO**  
**Faculdade de Engenharia**  
**Departamento de Engenharia Eletrônica e de Telecomunicações**

## **PROJETO DE GRADUAÇÃO**

### **CONTROLE DE UM RETIFICADOR BOOST DOBRADOR DE TENSÃO UTILIZANDO UM PROCESSADOR DIGITAL DE SINAIS**

**Rafael Amaro Offrede**

**Orientadores: Prof. José Paulo Vilela Soares da Cunha**  
**Prof.<sup>a</sup> Maria Dias Bellar**  
**Coordenador: Prof. Paulo Sérgio Rodrigues Alonso**

Abril de 2009

## **Ficha Catográfica**

OFFREDE, Rafael Amaro

Controle de um Retificador Boost  
Dobrador de Tensão Utilizando um  
Processador Digital de Sinais.

xiv, 115 pp , 29,7 cm (UERJ, Engenharia  
Eletrônica, 2009 )

Projeto de Graduação – Universidade do  
Estado do Rio de Janeiro.

1. Correção do fator de potência
2. Processamento digital de sinais
3. Sistemas de controle

I. UERJ/FEN II. Título ( série )

## **Agradecimentos**

*À Deus, que amo e sirvo com todo empenho e dedicação, e que graças a Ele cheguei até aqui.*

*Aos Professores José Paulo Vilela Soares da Cunha e Maria Dias Bellar, pela dedicação e orientação, e que foram fundamentais no desenvolvimento desse projeto e na minha formação profissional.*

*Ao mestrando Humberto Moraes, que me auxiliou diversas vezes durante a realização dos experimentos.*

*Aos Mestrandos Carlos Tavares e Leandro Samyn por todo apoio ao acesso ao laboratório.*

*Ao estudante de Doutorado Felipe José da Costa Padilha, por ceder componentes eletrônicos que foram fundamentais para o desenvolvimento deste projeto, além das dicas sobre o retificador.*

*Ao Prof. Paulo Sérgio Rodrigues Alonso, por suas orientações e zelo pelo andamento do cronograma deste projeto.*

*Ao meu pai, Marcus, minha mãe, Vera e minha irmã, Monique pela oração, compreensão, e incentivo em todos os momentos da minha vida.*

*À minha namorada Lucy, pela oração, compreensão e auxílio durante toda a minha formação.*

*Aos técnicos do laboratório por compartilharem conhecimentos de eletrônica e fornecerem materiais para a execução deste projeto.*

*E a todos os amigos, professores e afins, que de maneira consciente ou não, me incentivaram e ajudaram.*

## RESUMO

Neste trabalho desenvolve-se o controle de um retificador monofásico dobrador de tensão tipo *boost* utilizando um processador digital de sinais (DSP). A partir dos sinais da tensão de saída, da corrente e tensão de entrada medidos por um conversor analógico-digital, o DSP gera sinais de controle em tempo real através de um modulador de largura de pulsos. Os objetivos são tornar o fator de potência unitário, reduzir a distorção harmônica na corrente de entrada e regular o nível DC da tensão de saída do retificador. Utilizou-se o conceito de controle hierárquico e o modelo da dinâmica do retificador no projeto dos controladores da corrente de entrada e da tensão de saída.

O controle é realizado através do acionamento de duas chaves eletrônicas utilizando a técnica de modulação de largura de pulso (*Pulse Width Modulation - PWM*).

Foram desenvolvidos circuitos de proteção para o DSP, condicionadores de sinais e *drivers* para as chaves que permitiram o acoplamento entre o retificador e o DSP.

## ABSTRACT

In this work, the controller of a Voltage-Doubler Boost Rectifier is developed using a digital signal processor (DSP). The analog-to-digital converter provides the measured data to the DSP, which provides control signals in real time to the pulse width modulator. The objectives are to perform unitary input power factor with reduced the harmonic distortion at the input current and to regulate the DC level of the rectifier output voltage. The controller design of input current and output voltage was based on the concept of hierarch control and the rectifier dynamic model.

The control action is done by activating two electronic switches pulse width modulation technique.

In order to couple the DSP and the rectifier were developed: protection circuits for DSP, signals conditioning and drivers for the switches.

# ÍNDICE

<b>CAPÍTULO 1 – INTRODUÇÃO</b>	<b>1</b>
1.1 – Objetivos	4
1.2 – Organização do trabalho	4
<b>CAPÍTULO 2 – RETIFICADOR MONOFÁSICO DOBRADOR DE TENSÃO TIPO BOOST PWM</b>	<b>5</b>
2.1 – Funcionamento e simulação do retificador com controle desativado	5
2.2 – Resultados experimentais do retificador a diodo	10
<b>CAPÍTULO 3 – CONTROLE DO RETIFICADOR</b>	<b>15</b>
3.1 – Especificações de desempenho do sistema de controle	19
3.2 – Modelagem do retificador e estratégia de controle	20
3.3 – Projeto do controlador para a corrente de entrada	26
3.4 – Resultados de simulações do retificador com o controle da corrente de entrada	28
3.5 – Projeto do controlador para a tensão de saída	31
3.6 – Resultados de simulações do retificador com controle da corrente de entrada e controle da tensão de saída	33
<b>CAPÍTULO 4 – PROCESSADOR DIGITAL DE SINAIS</b>	<b>40</b>
4.1 – <i>Code Composer Studio</i>	41
4.1.1 – Acesso aos registradores do processador utilizando linguagem C	44
4.2 – Conversor A/D	49
4.3 – Gerenciadores de eventos	51
4.3.1 – Modulador de largura de pulso (PWM)	54
4.3.2 – Interrupções	56
<b>CAPÍTULO 5 – PROJETO DOS CIRCUITOS AUXILIARES</b>	<b>58</b>
5.1 – Circuitos de interface do conversor A/D	58
5.1.1 – Circuito de proteção do conversor A/D	58
5.1.2 – Teste do circuito de proteção do conversor A/D	59
5.1.3 – Sensor de corrente e condicionador de sinais para a corrente de entrada	61

5.1.4 – Teste do condicionador de sinais para a corrente de entrada	61
5.1.5 – Circuito para detecção do cruzamento por zero da tensão de entrada	62
5.1.6 – Teste do circuito para detectar o cruzamento por zero da tensão de entrada	63
5.1.7 – Condicionador de sinais para a tensão de saída	64
5.1.8 – Teste do condicionador de sinais para a tensão de saída	64
5.2 – Circuito driver dos IGBTs	66
5.2.1 – Circuito de isolamento das saídas PWM	66
5.2.2 – Resultados experimentais do circuito de isolamento das saídas PWM	67
5.2.3 – Circuito de acionamento dos IGBTs	69
5.2.3.1 – Circuito integrado IR2110	70
<b>CAPÍTULO 6 – CONTROLE DO RETIFICADOR UTILIZANDO O PROCESSADOR DIGITAL DE SINAIS</b>	<b>72</b>
6.1 – Implementação dos controladores para o Processador Digital de Sinais	73
6.2 – <i>Software</i> de controle	77
<b>CAPÍTULO 7 – RESULTADOS EXPERIMENTAIS</b>	<b>83</b>
7.1 – Resultados experimentais com o controle desativado	83
7.2 – Resultado experimental do retificador com controle da corrente de entrada	86
7.3 – Resultados de simulações do retificador com controle da corrente de entrada e controle da tensão de saída	88
7.4 – Resultados experimentais do retificador com controle da corrente de entrada e controle da tensão de saída	90
<b>CAPÍTULO 8 – CONCLUSÕES</b>	<b>96</b>
<b>REFERÊNCIAS</b>	<b>97</b>
<b>APÊNDICE A – SOFTWARE PARA O CÁLCULO DOS PARÂMETROS EXPERIMENTAIS DE DESEMPENHO DO RETIFICADOR</b>	<b>99</b>

<b>APÊNDICE B – DIAGRAMA ELÉTRICO</b>	<b>103</b>
<b>APÊNDICE C – MÉTODO PARA O CÁLCULO DOS PARÂMETROS DE DESEMPENHO DO RETIFICADOR</b>	<b>107</b>
<b>APÊNDICE D – PROGRAMA PRINCIPAL PARA O CONTROLE DO RETIFICADOR</b>	<b>110</b>

## ÍNDICE DE FIGURAS

Figura 1.1: Retificador monofásico em ponte com filtro capacitivo. _____	1
Figura 1.2: Tensão de entrada e corrente de entrada do retificador monofásico em ponte com filtro capacitivo. _____	2
Figura 1.3: Diagrama de blocos do controle do retificador. _____	3
Figura 2.1: Retificador monofásico dobrador de tensão tipo <i>Boost</i> PWM. ____	5
Figura 2.2: Retificador dobrador de tensão a diodos. _____	6
Figura 2.3: Funcionamento do retificador a diodos quando $D_2$ conduz. _____	6
Figura 2.4: Funcionamento do retificador a diodos quando $D_1$ conduz. _____	7
Figura 2.5: Corrente de entrada simulada. _____	7
Figura 2.6: Espectro da corrente de entrada obtido pela FFT (resultado da simulação). _____	8
Figura 2.7: Tensão de entrada atenuada em 20 vezes e corrente de entrada (resultados da simulação). _____	9
Figura 2.8: Tensão de saída simulada. _____	9
Figura 2.9: Tensão de entrada (CH1) e corrente de entrada (CH2) (resultado experimental). _____	11
Figura 2.10: Espectro da tensão de entrada obtido pela FFT (resultado experimental). _____	12
Figura 2.11: Espectro da corrente de entrada obtido pela FFT (resultado experimental). _____	12
Figura 2.12: Tensão de saída (resultado experimental). _____	13
Figura 3.1: Exemplo de como chavear $S_1$ e $S_2$ . _____	15
Figura 3.3: Diagrama em blocos da malha de controle da corrente de entrada. _____	17
Figura 3.4: Diagrama em blocos da malha de controle da tensão de saída. _	17
Figura 3.5: Modelo do retificador para o controle da corrente de entrada. ____	20
Figura 3.6: Modelo simplificado do retificador para o controle da corrente. ____	21
Figura 3.7: Modelo do retificador para o controle da tensão de saída. _____	22
Figura 3.8: Modelo simplificado do retificador para o controle da tensão de saída no semi-ciclo positivo de $i_s$ . _____	23

Figura 3.9: Modelo simplificado do retificador para o controle da tensão de saída no semi-ciclo negativo de $i_s$ .	23
Figura 3.10: Corrente de entrada $i_{s+}$ simuladas (a intensidade da corrente é somente ilustrativa).	24
Figura 3.11: Corrente de entrada $i_s$ (a intensidade da corrente é somente ilustrativa).	24
Figura 3.12: Modelo simplificado do retificador para o controle da tensão de saída, válido para os dois semi-ciclos de $i_s$ .	25
Figura 3.13: Modelo simplificado do retificador para o controle da tensão de saída, válido para os valores médios de tensão e corrente.	25
Figura 3.14: Circuito utilizado para controlar a corrente de entrada.	28
Figura 3.15: Corrente de referência e corrente de entrada quando $I_{ref} = 0,5 \text{ A}$ .	29
Figura 3.16: Tensão de saída quando $I_{ref} = 0,5 \text{ A}$ .	29
Figura 3.17: Corrente de referência e corrente de entrada quando $I_{ref} = 2 \text{ A}$ .	30
Figura 3.18: Tensão de saída quando $I_{ref} = 2 \text{ A}$ .	31
Figura 3.19: Circuito utilizado para projetar o controlador da tensão de saída e obter a simulação do controle de corrente e tensão funcionando simultaneamente.	33
Figura 3.20: Corrente de entrada com controle de corrente e controle de tensão ativados ( $R = 186\Omega$ ).	34
Figura 3.21: Espectro da corrente de entrada obtida pela FFT com controle de corrente e controle de tensão ativados ( $R = 186\Omega$ ).	35
Figura 3.22: Tensão de saída, corrente de entrada e corrente de referência com o controle de corrente e o controle de tensão ativados ( $R = 186\Omega$ ).	35
Figura 3.23: Tensão de saída com o controle de corrente e o controle de tensão ativados ( $R = 186\Omega$ ).	35
Figura: 3.24: Corrente de entrada e corrente de referência com o controle de corrente e o controle de tensão ativados; (a) $R = 93 \Omega$ , (b) $R = 372 \Omega$ .	37
Figura: 3.25: Corrente de entrada, corrente de referência e tensão de saída com o controle de corrente e o controle de tensão ativados; (a) $R = 93 \Omega$ , (b) $R = 372 \Omega$ .	38
Figura 4.1: Posição dos conectores na placa do DSP TMS320F2812. Extraído do manual (TI 2812_ezdsp_TechRef_D, Figura 2-3).	40

Figura. 4.2: Fases do ciclo de desenvolvimento do <i>Code Composer Studio</i> . Extraído do manual (TI spru509c, Figura 1-1).	41
Figura. 4.3: Tela de um projeto desenvolvido no <i>Code Composer Studio</i> .	42
Figura 4.4: Fluxograma do programa principal do processador digital de sinais.	43
Figura 4.5: Diagrama de bloco do módulo do conversor A/D. Extraído do manual (TI spru060, Figura 1-1).	50
Figura 4.6: Interface realizada pelos gerenciadores de eventos. Extraído do manual (TI spru065, Figura 1-1).	52
Figura 4.7: Diagrama de blocos do gerenciador de eventos. Extraído do manual (TI spru065, Figura 1-2).	53
Figura 4.8: Diagrama de blocos do circuito PWM. Extraído do manual (TI spru065, Figura 2-1).	55
Figura 4.9: Interrupções multiplexadas através do PIE. Extraído do manual (TI spru078, Figura 6-1).	57
Figura 5.1: Circuito de proteção da entrada do conversor A/D.	59
Figura 5.2: Teste do circuito de proteção do A/D; (a) Sinal de entrada ( $V_{prot}$ ), (b) Sinal de saída ( $V_{ad}$ ).	60
Figura 5.4: Resultado do teste realizado no circuito condicionador de sinais para a corrente de entrada.	62
Figura 5.5: Detector do cruzamento por zero da tensão de entrada.	63
Figura 5.6: Resultado do teste realizado no circuito para detectar o cruzamento por zero da tensão de alimentação $v_s$ .	63
Figura 5.7: Condicionador de sinais para a tensão de saída.	64
Figura 5.8: Resultado do teste realizado no circuito condicionador de sinais para medir a tensão de saída.	65
Figura 5.9: Circuito de isolamento das saídas PWM.	67
Figura 5.10: Resultado do teste realizado com os circuitos auxiliares das saídas PWM; (a) Atraso propagado pelo circuito de isolamento (b) Intervalo de tempo morto ( <i>deadband</i> ) entre as duas saídas PWM.	68
Figura 5.11: Possível técnica de acionamento de chaves flutuantes.	70
Figura 5.12: Circuito de acionamento completo para as chaves.	71
Figura 6.1: Diagrama de blocos do sistema de controle utilizando o DSP.	72

Figura. 7.1: Protótipo experimental do conversor <i>Boost</i> com controle do fator de potência utilizando o DSP TMS320F2812.	83
Figura 7.2: Nova configuração do retificador.	84
Figura 7.3: Resultado experimental com o controle desativado (carga de 235 $\Omega$ ); (a) Tensão de entrada (CH1) e corrente de entrada (CH2), (b) Tensão de saída (CH1) e corrente de entrada (CH2).	85
Figura 7.4: Resultado experimental somente com o controle de corrente ativado (carga de 235 $\Omega$ ); (a) Tensão de entrada (CH1) e corrente de entrada (CH2), (b) Tensão de saída (CH1) e corrente de entrada (CH2).	87
Figura 7.5: Resultados de simulações; (a) Tensão de entrada e corrente de entrada em fase, (b) Corrente de entrada.	88
Figura 7.6: Tensão de saída (resultado de simulações).	89
Figura 7.7: Resultado experimental com o controle ativado (carga de 261 $\Omega$ e tensão de referência de 50 V); (a) Tensão de entrada (CH1) e corrente de entrada (CH2), (b) Tensão de saída (CH1) e corrente de entrada (CH2).	91
Figura 7.8: Resultado experimental com o controle ativado (carga de 235 $\Omega$ e tensão de referência de 60 V); (a) Tensão de entrada (CH1) e corrente de entrada (CH2), (b) Tensão de saída (CH1) e corrente de entrada (CH2).	92
Figura 7.9: Resultado experimental com o controle ativado (carga de 296 $\Omega$ e tensão de referência de 70 V); (a) Tensão de entrada (CH1) e corrente de entrada (CH2), (b) Tensão de saída (CH1) e corrente de entrada (CH2).	93
Figura 7.10: Tensão de entrada (Verde), corrente de entrada (Amarelo) e Potência ativa de entrada (Lilás) (Resultado experimental com o controle ativado)	94

## ÍNDICE DE TABELAS

Tabela 2.1: Parâmetros de simulação do retificador a diodos.	6
Tabela 2.2: Resultados obtidos por simulação para o retificador a diodo.	10
Tabela 2.3: Resultados experimentais para o retificador a diodo.	13
Tabela 2.4: Resultado numérico com controle desativado.	14
Tabela 3.1: Parâmetros utilizados na simulação.	27

Tabela 3.2: Parâmetros utilizados na simulação do retificador com o controle de corrente e o controle de tensão ativados. _____	32
Tabela 3.3 Cálculos de simulações. _____	39
Tabela 4.1: Conectores do DSP TMS320F2812. _____	41
Tabela 4.2: Código correspondente ao registrador de um temporizador da CPU. Extraído do manual (TI DSP281x_Readme_V100). _____	44
Tabela 4.3: Código correspondente a três temporizadores num mesmo dispositivo. Extraído do manual (TI DSP281x_Readme_V100). _____	45
Tabela 4.4: Código correspondente a atribuição de variável. Extraído do manual (TI DSP281x_Readme_V100). _____	46
Tabela 4.5: Código correspondente ao mapeamento de seção através do <i>linker</i> . Extraído do manual (TI DSP281x_Readme_V100). _____	46
Tabela 4.6: Código correspondente ao acesso a um registrador. Extraído do manual (TI DSP281x_Readme_V100). _____	47
Tabela 4.7: Código correspondente a estrutura em termos de cada definição <i>union</i> . Extraído do manual (TI DSP281x_Readme_V100). _____	48
Tabela 4.8: Código correspondente ao modo de acessar um registrador. Extraído do manual (TI DSP281x_Readme_V100). _____	48
Tabela 6.1: Relação de Arquivos que compõem o projeto. _____	78
Tabela 6.2: Rotina de interrupção “eva_timer1_isr”. _____	79
Tabela 6.3: Rotina de interrupção “eva_timer2_isr”. _____	81
Tabela 7.1: Parâmetros da nova configuração do retificador. _____	84
Tabela 7.2: Resultados experimentais obtidos para a nova configuração do retificador com o controle desativado. _____	86
Tabela 7.3: Resultados obtidos na simulação para a nova configuração do retificador com o controle ativado. _____	89
Tabela 7.4: Cargas utilizadas para obter a corrente de entrada e a tensão de saída. _____	90
Tabela 7.5: Resultados experimentais para a nova configuração do retificador com o controle ativado. _____	94
Tabela 7.6: Comparação dos resultados experimentais para a nova configuração do retificador. _____	95

## Abreviaturas

**PWM – Pulse Width Modulation – modulação por largura de pulso**  
**THD – Total Harmonic Distortion – Distorção Harmônica Total**  
**DSP – Digital Signal Processor – Processador digital de sinais**  
**IGBT – Insulated Gate Bipolar Transistor**  
**FFT – Fast Fourier Transform – Transformada rápida de Fourier**  
**DPF – Fator de potência da fundamental**  
**FP – Fator de potência total**  
**RF – Ripple Factor – Fator de ripple**  
**LEPAT – Laboratório de Eletrônica de Potência e Automação**  
**Fig. – Figura**  
**Eq. – Equação**  
**Conversor A/D – Conversor analógico-digital**  
**TI – Texas Instruments**  
**LEE – Laboratório de Engenharia Elétrica**  
**CCStudio – Code Composer Studio**  
**CPU – Central Processing Unit – Unidade central de processamento**  
**EV – Event Manager – Gerenciadores de eventos**  
**GP – General Purpose – Uso geral**  
**NMI – Nonmaskable Interrupt**  
**PIE – Peripheral Interrupt Controller**  
**RAM – Random Access Memory – Memória de acesso aleatório**  
**CI – Circuito Integrado (CI)**

## CAPÍTULO 1 – INTRODUÇÃO

A criação de novas tecnologias, na área de eletrônica, tem proporcionado inúmeros benefícios à humanidade. Vem sendo criados novos equipamentos e dispositivos eletrônicos que estão cada vez mais presentes na vida das pessoas. Mas, o crescente uso de equipamentos eletrônicos nas indústrias e residências tem causado grande preocupação às concessionárias, pois por operarem de forma não linear, causam distorção harmônica de corrente na rede elétrica. A presença de harmônicos no sistema elétrico representa um grande problema de qualidade de energia principalmente em instalações comerciais e industriais [1], [2].

Equipamentos eletrônicos, ligados à rede elétrica, necessitam de retificadores para fornecerem tensões contínuas. Dentre as diversas topologias de retificadores existentes no mercado, o retificador monofásico em ponte com filtro capacitivo [3] (Fig. 1.1) é um bom exemplo para ilustrar o problema da distorção harmônica de corrente.

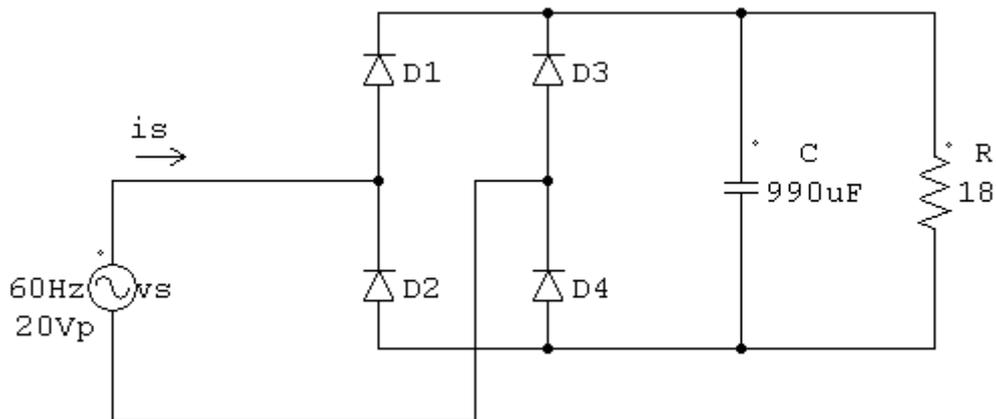


Figura 1.1: Retificador monofásico em ponte com filtro capacitivo.

A Fig. 1.2 apresenta as formas de onda da tensão de entrada ( $v_s$ ) e da corrente de entrada ( $i_s$ ) do retificador apresentado na Fig. 1.1 para mostrar o problema da distorção harmônica causado pelo retificador na rede elétrica.

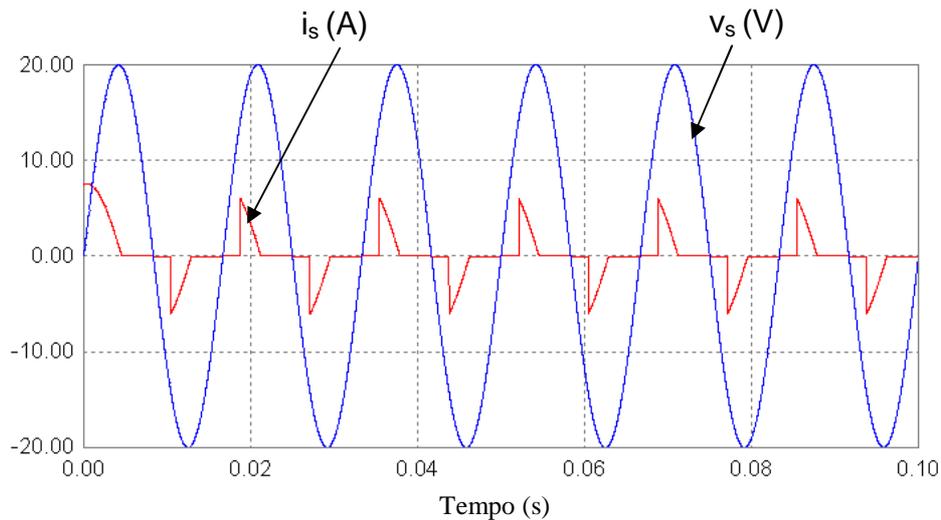


Figura 1.2: Tensão de entrada e corrente de entrada do retificador monofásico em ponte com filtro capacitivo.

A presença de indutores e capacitores nas diversas topologias de retificadores e a distorção harmônica de corrente na entrada desses circuitos reduzem o fator de potência [3] na entrada dos retificadores.

O aumento de custos no uso de energia e o crescimento de regulamentações sobre qualidade de energia e harmônicos presentes na rede elétrica tem motivado o desenvolvimento de topologias de retificadores com a capacidade de tornar o fator de potência unitário [4]. Dentre as topologias em geral, o retificador monofásico dobrador de tensão tipo *boost* com modulação por largura de pulso (*Pulse Width Modulation - PWM*) [3] pode ser considerado uma escolha interessante para aplicações de baixo custo devido ao desempenho em relação à tensão de saída, fator de potência de entrada e distorção harmônica total (*Total Harmonic Distortion - THD*) [3].

A não-linearidade dos circuitos eletrônicos em geral produz correntes de entrada que não são senoidais e que apresentam defasagem em relação à tensão de entrada. Este fato causa a redução do fator de potência na entrada do retificador. Assim, são produzidos harmônicos que poluem a rede elétrica e o rendimento do retificador é prejudicado.

O controle digital tem desempenhado um papel fundamental no avanço tecnológico e tem sido amplamente utilizado nos processos industriais. Os controles utilizando circuitos analógicos vem sendo substituídos por controle digital devido a: redução nos custos de desenvolvimento, redução de ruídos,

maior precisão e versatilidade; além de proporcionar controles mais rápidos, maior produtividade e a diminuição do trabalho repetitivo de operações manuais. Um dos principais focos deste projeto é desenvolver um controlador digital para o retificador monofásico dobrador de tensão tipo *boost* PWM através de um processador digital de sinais (*Digital Signal Processor - DSP*) [5].

O DSP substitui a maioria dos circuitos analógicos responsáveis pelo controle do retificador, o que diminui significativamente a quantidade de componentes eletrônicos e o tamanho do circuito, além de permitir o ajuste dos parâmetros de controle por *software*.

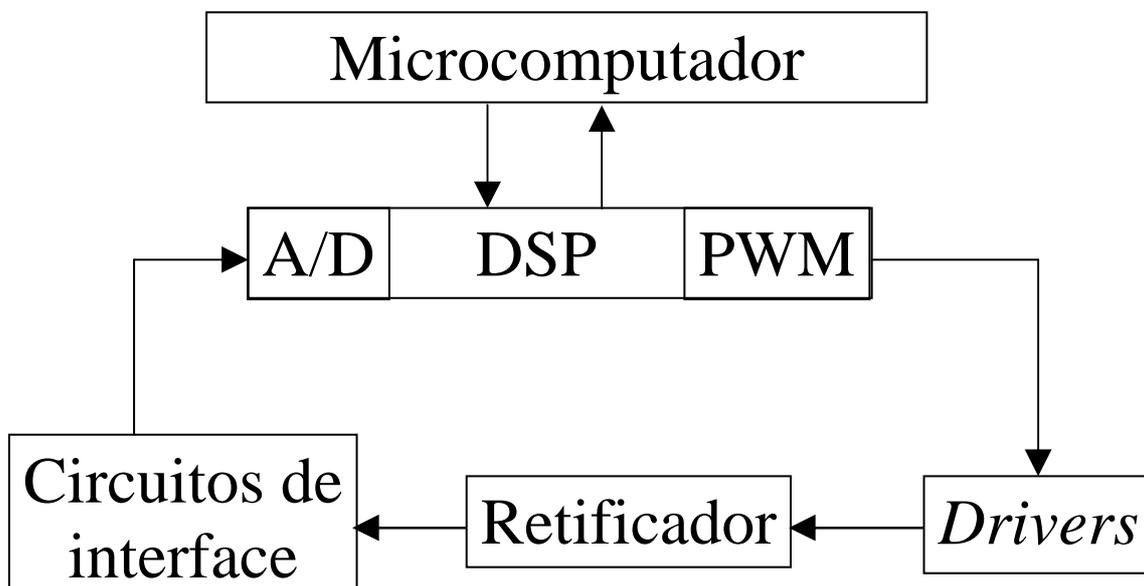


Figura 1.3: Diagrama de blocos do controle do retificador.

Duas variáveis serão controladas no retificador: a corrente de entrada ( $i_s$ ) e a tensão de saída ( $v_o$ ). A corrente  $i_s$  será forçada a seguir a tensão de entrada senoidal ( $v_s$ ) para tornar o fator de potência do circuito unitário e reduzir a distorção harmônica. O nível DC da tensão de saída deve ser controlado pelo DSP e o fator de *ripple*, na saída do circuito, deve ser baixo.

## 1.1 – Objetivos

O objetivo deste Projeto de Graduação é aplicar um processador digital de sinais num sistema de controle para tornar unitário o fator de potência de um retificador dobrador de tensão tipo *boost* PWM. Será desenvolvido um algoritmo de controle capaz de controlar a corrente de entrada e a tensão de saída do retificador. O sinal de controle será gerado através de chaveamento PWM.

O controle será realizado para:

- Tornar o fator de potência unitário na entrada do retificador
- Reduzir a distorção harmônica de corrente na entrada do retificador
- Regular a tensão de saída

## 1.2 – Organização do trabalho

Este trabalho inicia pela explicação e simulação do retificador com controle desativado, isto é, funcionando a diodos. Em seguida será desenvolvido um modelo linear para o retificador com o controle ativado, para possibilitar o projeto dos controladores de  $i_s$  e  $v_o$ , inicialmente sem utilizar o DSP. Para realizar a interface entre o DSP e o retificador, serão projetados: *drivers* para acionar os IGBTs, circuitos de proteção para o conversor A/D e condicionadores de sinais. Em seguida os controladores serão ajustados ao tempo discreto e as faixas de valores do DSP para que o controle digital finalmente seja realizado.

## CAPÍTULO 2 – RETIFICADOR MONOFÁSICO DOBRADOR DE TENSÃO TIPO *BOOST* PWM

Neste capítulo é apresentado o retificador monofásico dobrador de tensão tipo *boost* PWM com o controle desativado (Fig. 2.1), isto é, as chaves  $S_1$  e  $S_2$  permanecem cortadas e o circuito torna-se um retificador dobrador de tensão a diodos (Fig. 2.2). As características e conceitos apresentados neste capítulo serão fundamentais para desenvolver a estratégia de controle no Cap. 3.

A Fig. 2.1 apresenta o circuito do retificador *boost* utilizado neste projeto.

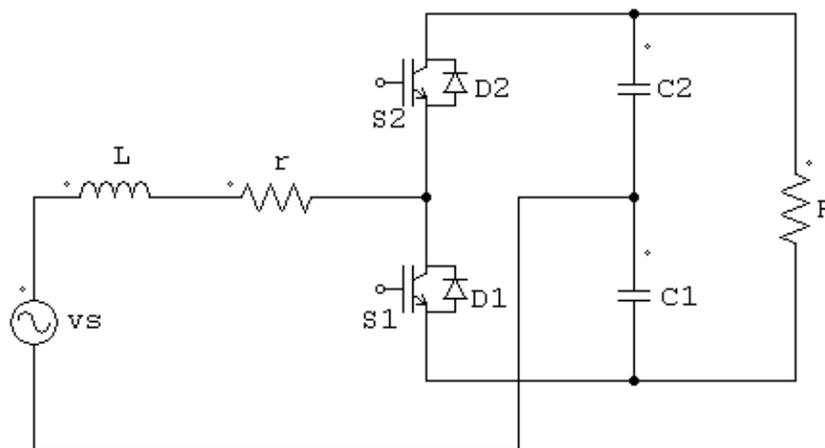


Figura 2.1: Retificador monofásico dobrador de tensão tipo *Boost* PWM.

### 2.1 – Funcionamento e simulação do retificador com controle desativado

O objetivo da simulação do retificador a diodos é ilustrar o funcionamento do circuito (Fig. 2.2) e verificar os resultados experimentais. As simulações foram realizadas pelo programa PSIM com os parâmetros na Tabela 2.1. Estes parâmetros correspondem aos valores dos componentes usados no circuito experimental [6].

Tabela 2.1: Parâmetros de simulação do retificador a diodos.

Símbolo	Parâmetros	Unidade
$v_s$	20	$V_p$
$f$	60	Hz
$L$	4,5	mH
$r$	57	$m\Omega$
$R$	186	$\Omega$
$C_1$	990	$\mu F$
$C_2$	990	$\mu F$

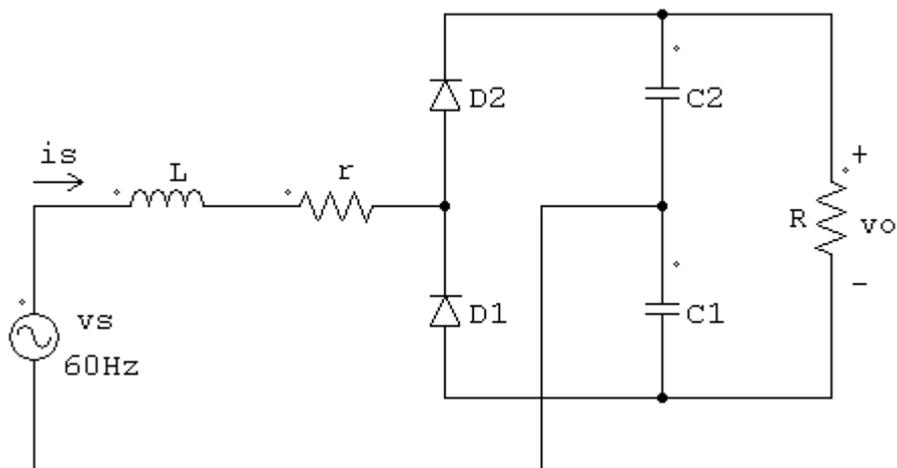


Figura 2.2: Retificador dobrador de tensão a diodos.

O retificador dobrador de tensão a diodos pode ser representado por dois circuitos lineares (Fig. 2.3 e Fig. 2.4). A Fig. 2.3 mostra o retificador funcionando quando  $D_2$  está conduzindo e a Fig 2.4 mostra o retificador funcionando quando  $D_1$  conduzindo.

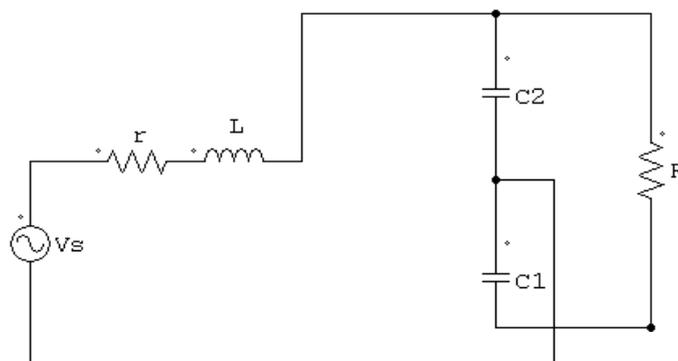


Figura 2.3: Funcionamento do retificador a diodos quando  $D_2$  conduz.

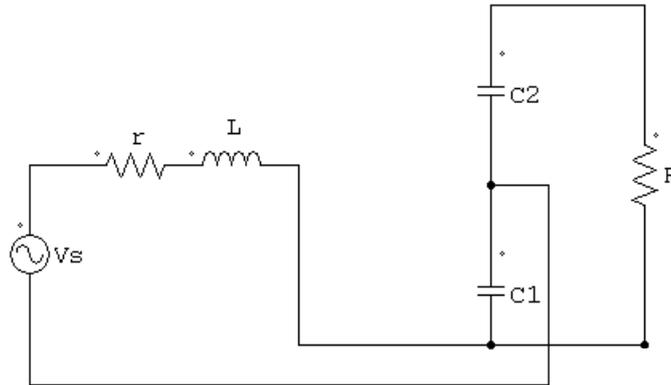


Figura 2.4: Funcionamento do retificador a diodos quando  $D_1$  conduz.

Enquanto  $D_2$  estiver conduzindo o capacitor  $C_2$  é carregado. Enquanto  $D_1$  estiver conduzindo,  $C_1$  é carregado. Portanto, em regime permanente, a tensão de saída ( $v_o$ ) será aproximadamente o dobro da tensão de pico ( $V_p$ ) da fonte de entrada, o que se verifica na Fig. 2.8.

Devido ao princípio de funcionamento não-linear do circuito, a corrente  $i_s$  não é senoidal (Fig. 2.5), pois a tensão nos capacitores ( $C_1$  e  $C_2$ ) impede que os diodos conduzam continuamente.

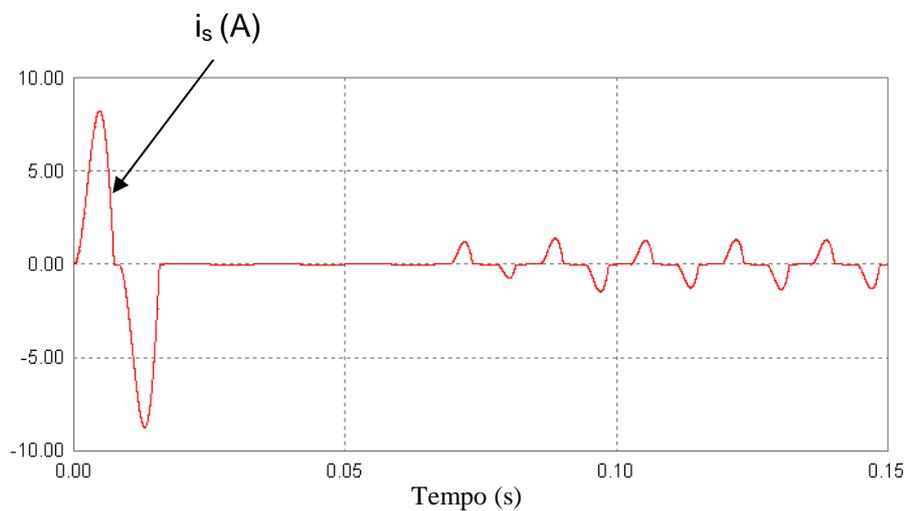


Figura 2.5: Corrente de entrada simulada.

Observa-se durante o transitório, que o valor de pico da corrente de entrada é aproximadamente 8 A (Fig. 2.5). Isto ocorre porque os capacitores estão inicialmente descarregados. Devido à característica *boost* do retificador, a tensão de saída apresenta valor inicial maior do que  $2V_p$  (Fig. 2.8), por isso

os diodos permanecem cortados por alguns ciclos de  $v_s$  (Fig. 2.5). Em regime permanente a amplitude de  $i_s$  é aproximadamente 1,4 A e não há condução contínua de corrente.

A espectro da corrente de entrada obtido pela transformada rápida de Fourier (*Fast Fourier Transform - FFT*) apresentou apenas harmônicos ímpares (Fig. 2.6).

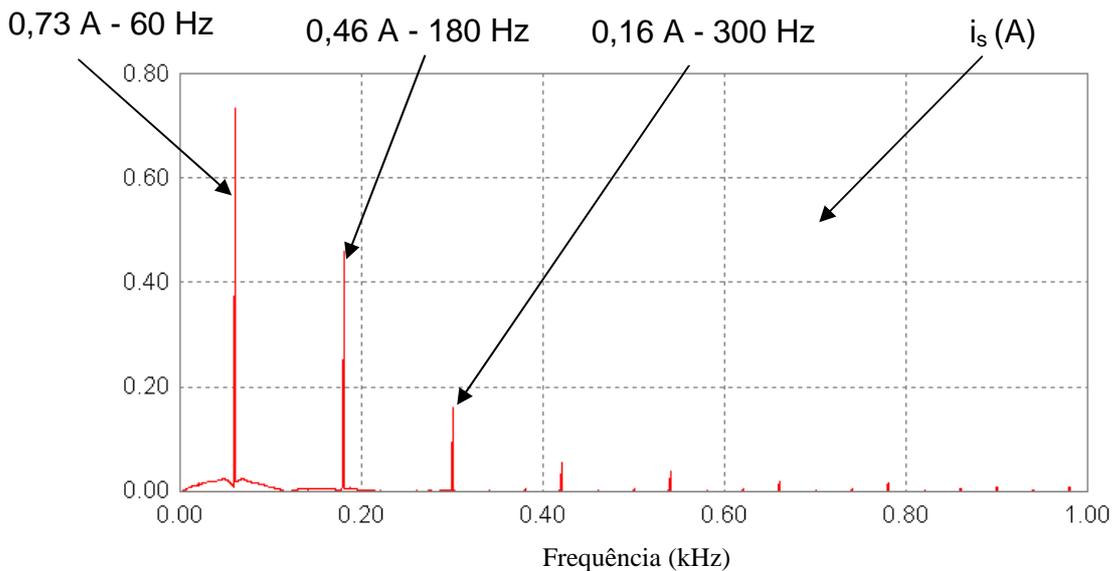


Figura 2.6: Espectro da corrente de entrada obtido pela FFT (resultado da simulação).

A Fig. 2.7 mostra que  $v_s$  e  $i_s$  estão defasados e a corrente  $i_s$  não é senoidal. Isto produz harmônicos (Fig. 2.6) que poluem a rede elétrica e drenam da fonte de entrada potência aparente que não é consumida pela carga.

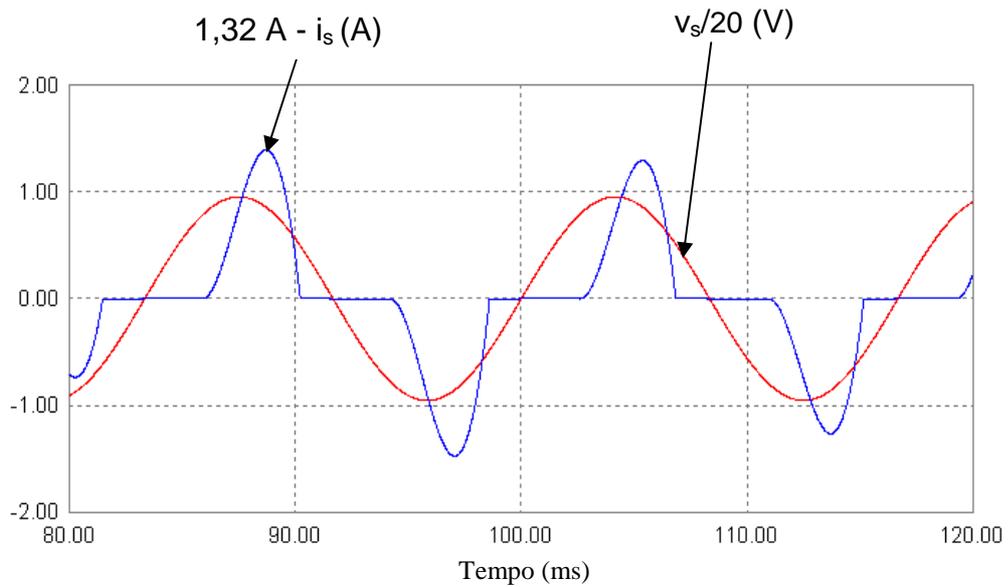


Figura 2.7: Tensão de entrada atenuada em 20 vezes e corrente de entrada (resultados da simulação).

Observa-se na Fig. 2.8, que a tensão média de saída ( $V_o$ ) é menor que  $2V_p$ . Isto ocorre porque há queda de tensão em L e r.

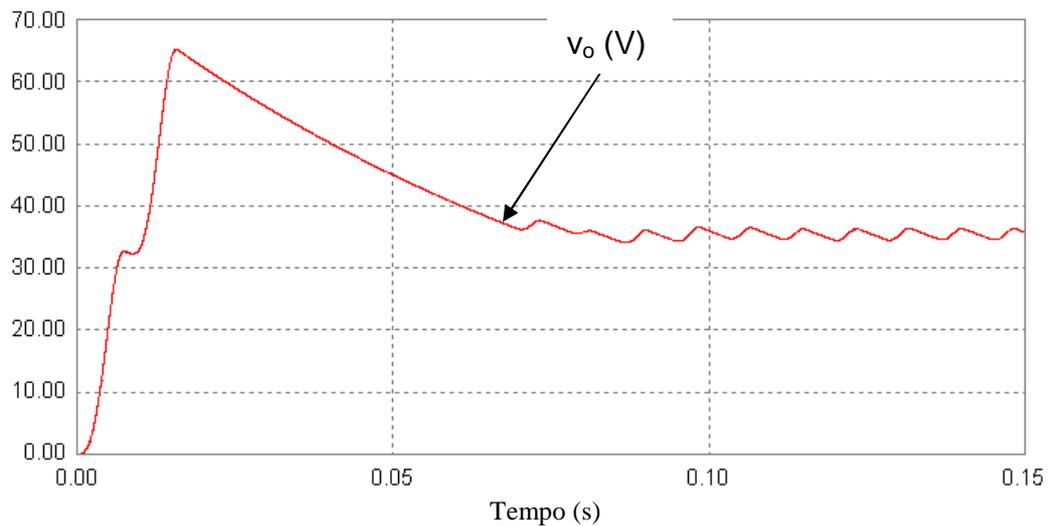


Figura 2.8: Tensão de saída simulada.

Os resultados numéricos (Tabela 2.2), obtidos por simulação, foram calculados pelo método apresentado no Apêndice C.

Tabela 2.2: Resultados obtidos por simulação para o retificador a diodo.

Parâmetros	Símbolo	Resultado	Unidade
Fator de potência da fundamental	DPF	0,93	-
Distorção harmônica total da corrente	THD <sub>i</sub>	70	%
Fator de potência total	FP	0,76	-
Potência de entrada	P <sub>s</sub>	7,2	VA
Fator de ripple da tensão de saída	RF <sub>v<sub>o</sub></sub>	1,7	%
Potência de saída	P <sub>o</sub>	6,73	W
Rendimento	η	93,5	%
Tensão média de saída	V <sub>o</sub>	35,4	V

Observando os resultados na Tabela 2.2, nota-se que o fator de potência (FP) de entrada é baixo (0,76), a distorção harmônica da corrente (THD<sub>i</sub> = 70%) é muito alta. Estes fatores devem ser reduzidos pois prejudicam a rede elétrica e o rendimento do circuito.

## 2.2 – Resultados experimentais do retificador a diodo

Os gráficos experimentais foram obtidos através do programa de aquisição de dados do osciloscópio digital. Este programa fornece ainda os pontos dos gráficos em forma de tabelas, que foram utilizados para calcular os resultados numéricos obtidos neste experimento e os cálculos foram realizados através de um programa desenvolvido em MatLab (apêndice A)

O circuito utilizado para os testes experimentais e que posteriormente será usado para realizar o controle, foi montado para os experimentos do projeto de graduação [6]. Este circuito foi utilizado neste projeto por já está disponível no Laboratório de Eletrônica de Potência e Automação (LEPAT) da UERJ. Os parâmetros deste circuito são os mesmos utilizados na simulação (Tabela 2.1). Este experimento tem por objetivo testar o circuito (Fig. 2.2) e obter resultados que sirvam para verificar o desempenho do controle, quando estiver ativado (Cap. 7).

A tensão de entrada apresentou distorções nos pontos coincidentes com os picos de corrente ( $i_s$ ) (Fig. 2.9). Isto ocorre devido: a saturação do núcleo do transformador utilizado e a não-idealidade da fonte  $v_s$ . Esta distorção não prejudicou o experimento consideravelmente, mas reduziu a qualidade da

tensão fornecida pela rede elétrica. Por este motivo deve-se evitar este tipo de corrente com picos elevados.

A corrente de entrada (Fig. 2.3) apresentou picos com estreitamento e amplitude (2,5 A) maiores que a simulação (Fig. 2.7). O indutor (L) utilizada no experimento apresenta uma indutância de 4,5 mH numa frequência em torno de 30 kHz, e a frequência de operação neste experimento é de 60 Hz. Na simulação a indutância tem valor fixo para todas as faixas de frequência. Além disso, experimentalmente há problemas com aquecimento e saturação, que alteram os valores de L e r de acordo com a frequência e a intensidade da corrente.

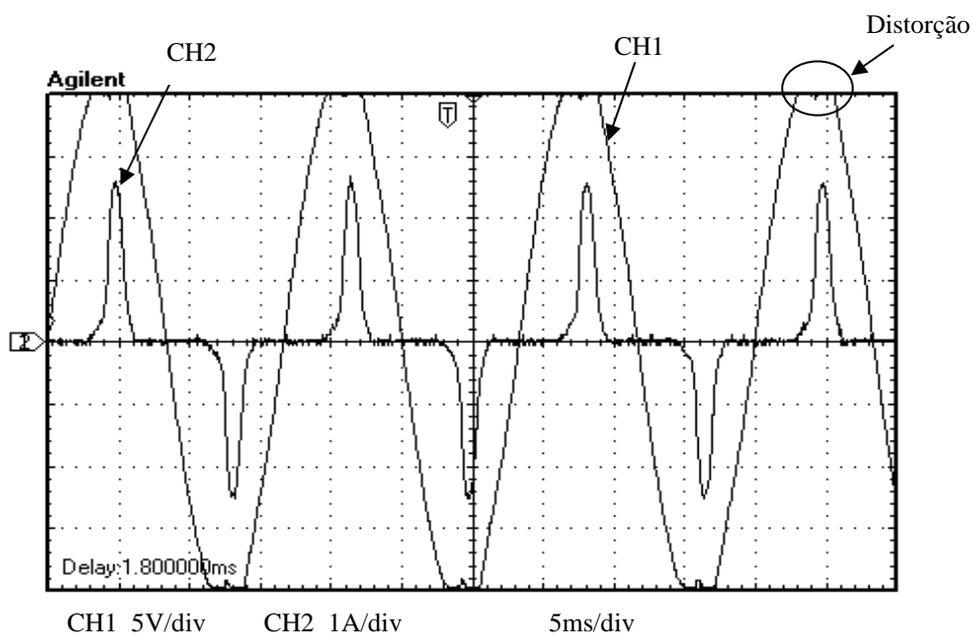


Figura 2.9: Tensão de entrada (CH1) e corrente de entrada (CH2) (resultado experimental).

Observa-se que a distorção harmônica na corrente de entrada (Fig. 2.11) piorou em relação à simulação (Fig. 2.6) e a tensão de entrada não é senoidal (Figuras 2.9 e 2.10). O espectros (Fig. 2.11) apresentou apenas harmônicos ímpares, de acordo com o que foi obtido na simulação (Fig. 2.6).

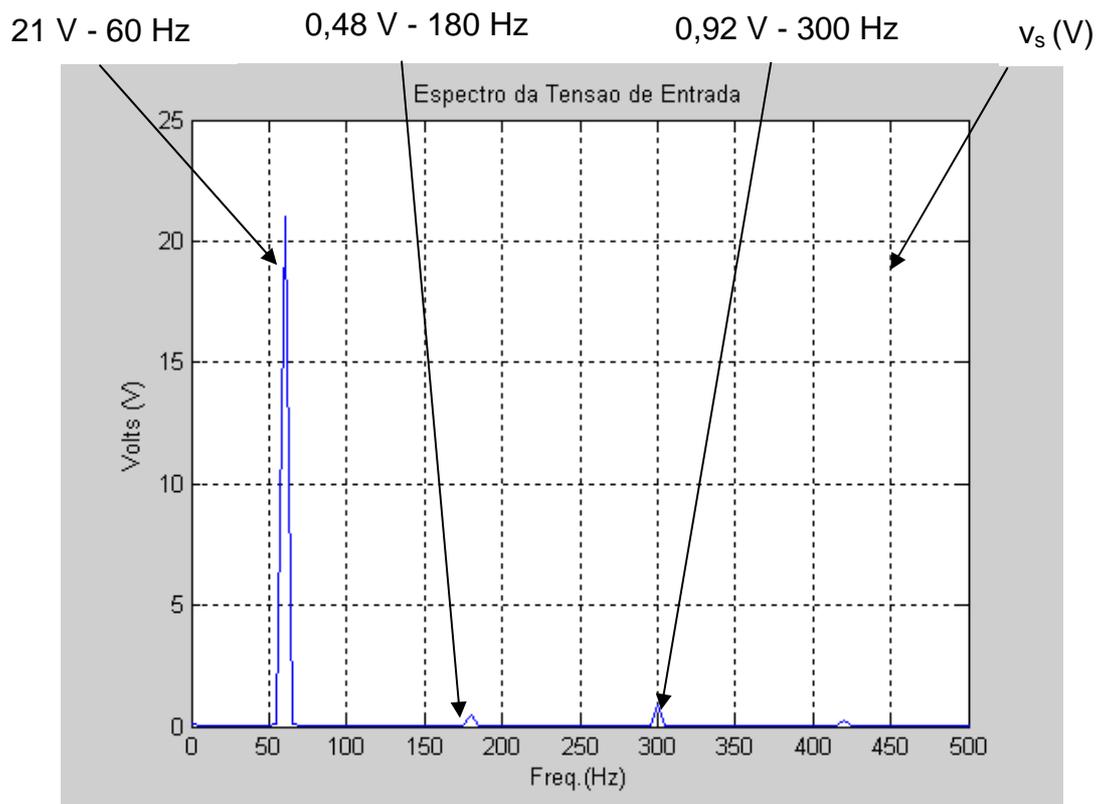


Figura 2.10: Espectro da tensão de entrada obtido pela FFT (resultado experimental).

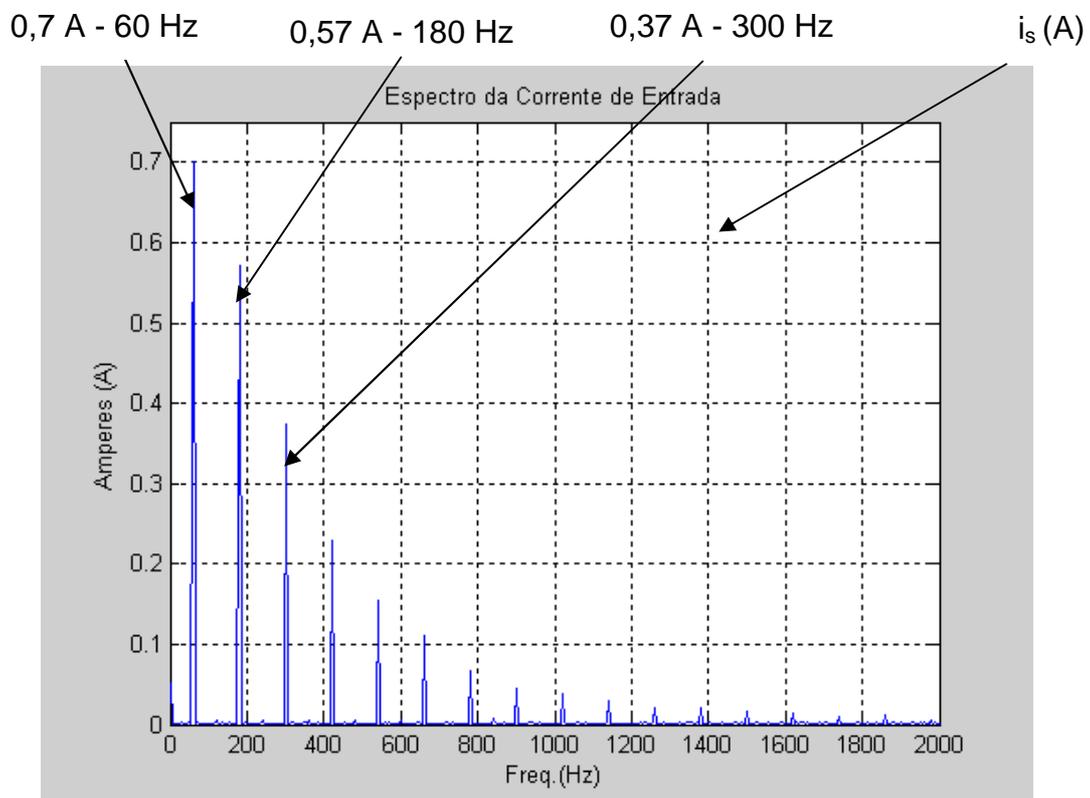


Figura 2.11: Espectro da corrente de entrada obtido pela FFT (resultado experimental).

A tensão de saída (Fig. 2.12) se comportou de forma similar ao que foi obtido na simulação (Fig. 2.8).

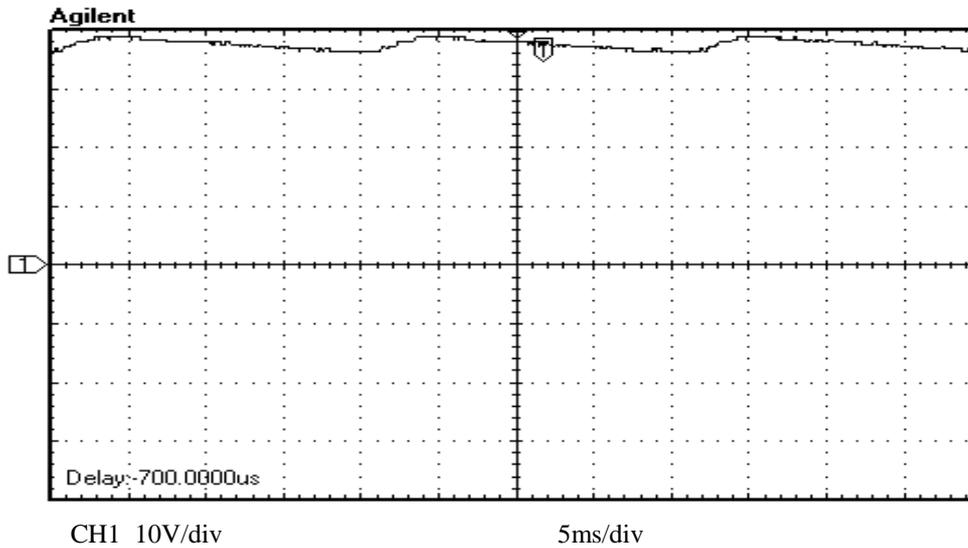


Figura 2.12: Tensão de saída (resultado experimental).

Os resultados obtidos por simulação encontram-se na Tabela 2.3.

Tabela 2.3: Resultados experimentais para o retificador a diodo.

Símbolo	Resultado	Unidade
DPF	0,95	-
THD <sub>i</sub>	108	%
THD <sub>v</sub>	5,4	%
FP	0,65	-
P <sub>s</sub>	7,34	VA
RF <sub>vo</sub>	2,13	%
P <sub>o</sub>	6,67	W
η	90,8	%
V <sub>o</sub>	35,4	VDC

A Tabela 2.4 compara os resultados obtidos por simulação (Tabela 2.2) com os resultados obtidos experimentalmente (Tabela 2.3).

Tabela 2.4: Resultado numérico com controle desativado.

	Resultados Numéricos	
	Simulação	Experimento
DPF	0,93	0,95
THD <sub>v</sub>	0%	5,40%
THD <sub>i</sub>	70%	108%
PF	0,76	0,65
P <sub>s</sub>	7,2 VA	7,34 VA
RF <sub>v</sub>	1,70%	2,13%
P <sub>o</sub>	6,73 W	6,67 W
η	93,50%	90,80%

Os resultados experimentais apresentaram diferença em relação a simulação. Isto ocorreu principalmente devido: a discretização dos sinais experimentais, a não-idealidade da fonte vs e a diferenças entre os componentes passivos utilizados na simulação e no experimento.

O indutor na entrada do retificador (L), utilizado no experimento, foi o componente que apresentou maior diferença em relação a simulação, pois é construído com material ferro-magnético, portanto apresenta saturação e o valor de L varia com a frequência.

### CAPÍTULO 3 – CONTROLE DO RETIFICADOR

Duas variáveis são controladas no retificador: a corrente de entrada ( $i_s$ ) e a tensão de saída ( $v_o$ ). A corrente  $i_s$  deve seguir a tensão de entrada senoidal para tornar o fator de potência do circuito unitário e reduzir a distorção harmônica [2], [6]. A tensão  $v_o$  deve ser mantida constante. O retificador é controlado através do acionamento dos IGBTs por chaveamento PWM [7]. É fundamental realizar a pré-carga dos capacitores  $C_1$  e  $C_2$  [2]. Isto é feito, na prática, com a conexão da fonte ao circuito, com o controle desativado (IGBTs cortados). Deste modo os capacitores se carregam apenas através dos diodos (Cap. 2). Quando o sistema atingir a estabilidade, a tensão de saída será aproximadamente o dobro do pico de  $v_s$  (Fig 2.11). Para o controle funcionar corretamente, é fundamental que a tensão de saída permaneça maior que o dobro da tensão de pico na entrada do retificador.

Os IGBTs nunca podem ser acionados simultaneamente, uma vez que os capacitores  $C_1$  e  $C_2$  entrariam em curto-circuito. A Fig. 3.1 apresenta um exemplo de como chavear  $S_1$  e  $S_2$ .

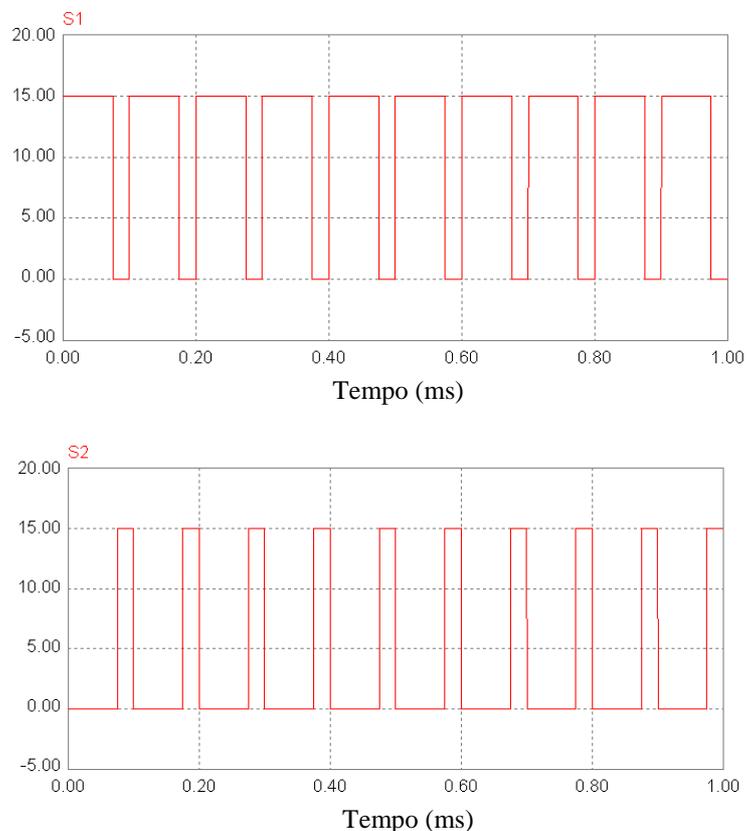


Figura 3.1: Exemplo de como chavear  $S_1$  e  $S_2$ .

Deve-se enfatizar que esta técnica requer sempre uma carga conectada à saída, caso contrário o valor da tensão média de saída poderia ser muito grande [6].

O diagrama de blocos do sistema de controle do retificador adotado é apresentado na Fig. 3.2.

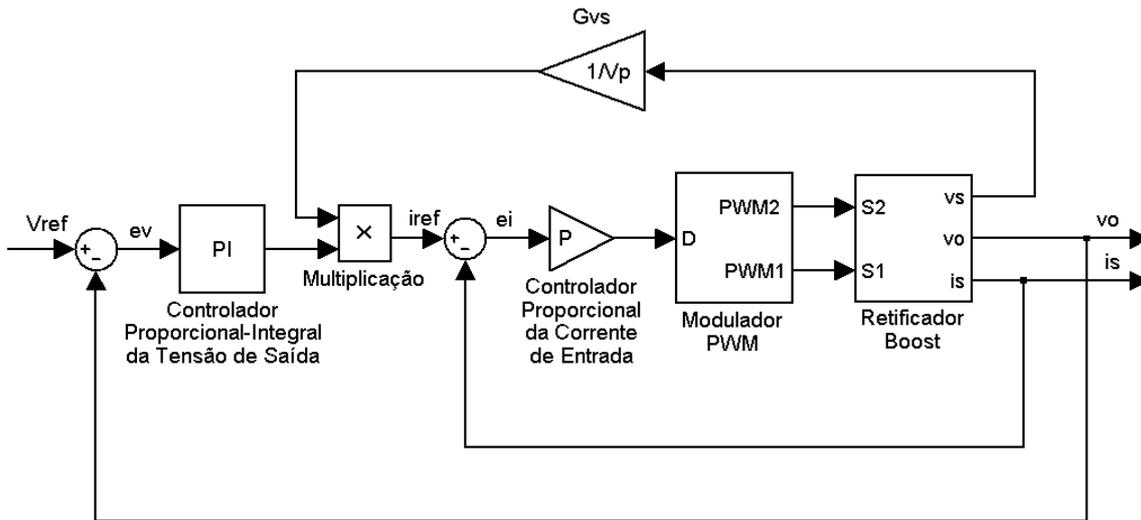


Figura 3.2: Diagrama de blocos do sistema de controle do retificador.

O controlador proporcional-integral (PI), a partir do erro de tensão ( $e_v$ ), fornece a amplitude da corrente de referência ( $i_{ref}$ ). O bloco  $G_{vs}$  atenua a tensão de entrada (medida) para obter uma referência senoidal com amplitude unitária e sincronizada com a rede elétrica. A corrente de referência ( $i_{ref}$ ) é obtida através do bloco “multiplicação”, que realiza o produto entre  $i_{ref}$  e a referência senoidal.

O controlador proporcional (P), a partir do erro de corrente ( $e_i$ ), fornece o *duty cycle* ao modulador de largura de pulso (PWM), que por sua vez, aciona os IGBTs ( $S_1$  e  $S_2$ ) para realizar o chaveamento. Assim,  $i_s$  é forçada a torna-se senoidal e  $v_o$  mantém-se constante.

Não é possível controlar  $i_s$  e  $v_o$  simultaneamente, pois ambas são controladas por uma única variável, o *duty cycle* do PWM. A solução é projetar o controlador da corrente de entrada supondo que o controle de tensão não exista e projetar o controlador da tensão de saída supondo que o controle de

corrente não exista. Isto é possível utilizando o conceito de controle hierárquico, que consiste em organizar as diversas malhas de controle em cascata e projetar o controlador correspondente a cada malha com velocidade de reposta diferente. As malhas mais internas devem ser mais rápidas e depender das malhas mais externa. Assim, o controle de uma variável não influencia significativamente no controle das outras variáveis.

Utilizando-se o conceito de controle hierárquico, o projeto do sistema de controle foi dividido em duas partes: a malha de controle da corrente de entrada (Fig. 3.3 - malha escrava) e a malha de controle da tensão de saída (Fig. 3.4 - malha mestra) [7].

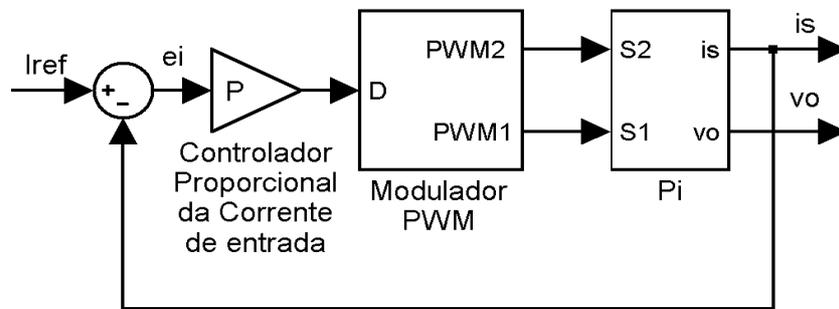


Figura 3.3: Diagrama em blocos da malha de controle da corrente de entrada.

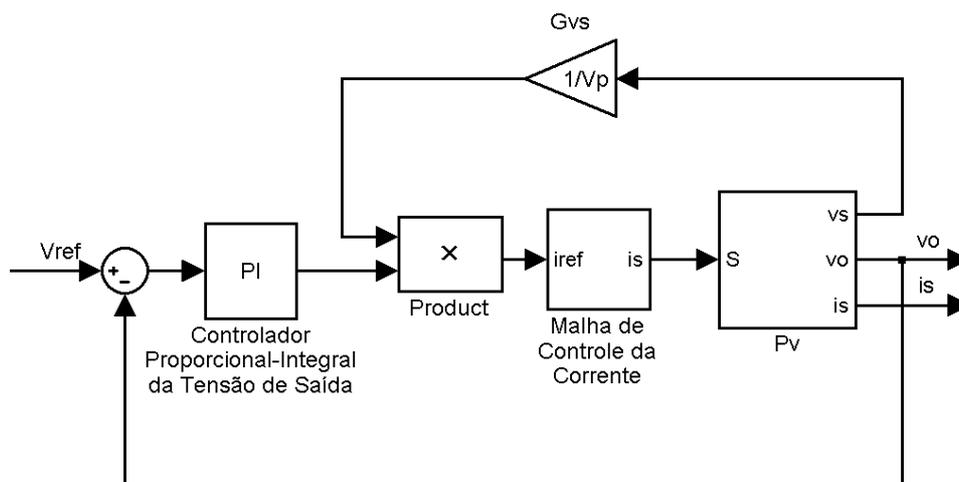


Figura 3.4: Diagrama em blocos da malha de controle da tensão de saída.

A malha de controle da corrente é a mais interna e a mais rápida, por isso o controlador da corrente deve ser ajustado primeiramente [7]. Assim, a malha de controle da corrente terá função de transferência praticamente unitária, i. e.,

$$\frac{i_s}{i_{ref}} = 1,$$

A fim de simplificar o projeto do controlador da tensão, o modelo linear do retificador também será dividido em duas partes ( $P_i$  e  $P_v$ ) para facilitar o desenvolvimento do modelo dinâmico do retificador [7].

O erro de tensão é:

$$e_v = V_{ref} - v_0, \quad (3.1)$$

onde  $V_{ref}$  é a tensão de referência.

A amplitude da corrente de referência ( $I_{ref}$ ) comanda a tensão de saída fornecida pelo retificador e é obtida pelo produto do erro de tensão pela função de transferência ( $G_v(s)$ ), do controlador proporcional-integral (PI).

$$I_{ref}(s) = G_v(s)e_v(s). \quad (3.2)$$

A tensão de entrada ( $v_s$ ) é medida com atenuação de  $1/V_p$ , onde  $V_p$  é a amplitude da tensão de entrada, para obter a forma senoidal da corrente de referência ( $i_{ref}$ ). No DSP, a forma senoidal é obtida por *software*, através da função  $\sin()$ , disponível na biblioteca matemática (*math*) do DSP. O sincronismo com a rede é obtido através do conversor A/D, que converte uma onda quadrada sincronizada com a tensão de entrada para detectar os instantes em que  $v_s$  cruza o zero (detector de zero).

$$\text{sen}(\omega_s t) = \frac{v_s}{V_p} \quad (3.3)$$

$$i_{ref}(t) = I_{ref}(t)sen(\omega_s t). \quad (3.4)$$

Desta forma pode-se calcular o erro de corrente:

$$e_i(t) = i_{ref}(t) - i_s(t). \quad (3.5)$$

O controlador proporcional (P), fornece o *duty cycle* do PWM (D).

$$D(t) = K_{pi} e_i(t), \quad (3.6)$$

onde  $K_{pi}$  é o ganho do controlador de corrente.

O *duty cycle* é comparado com uma onda triangular para realizar a modulação PWM, que é aplicado aos *drivers* dos IGBTs para controlar  $i_s$  e  $V_o$  [7].

Os controladores serão projetados, inicialmente, sem considerar o uso do DSP. O programa de simulação PSIM, será utilizado para ajustar os ganhos. Após avaliar as simulações e verificar que o desempenho dos controladores está de acordo com as especificações do projeto, o controle será implementado no DSP [1], [8], [9], o que é detalhado no Cap. 6.

### 3.1 – Especificações de desempenho do sistema de controle

O chaveamento dos IGBTs é utilizado para controlar a corrente de entrada ( $i_s$ ) e a tensão de saída ( $V_o$ ) simultaneamente. Por isso é necessário encontrar um compromisso entre o controle de  $i_s$  e o controle de  $V_o$  para que um não impeça o controle do outro. Para facilitar o ajuste do controle é necessário ajustar a malha de controle de corrente para ser muito mais rápida que a malha de controle de tensão. O controle de corrente precisa ser rápido para que o ruído gerado pelo chaveamento seja de alta freqüência, que é fácil para realizar a filtragem. O controle de tensão precisa ser lento para não gerar variações rápidas na referência de corrente evitando distorções na corrente senoidal ( $i_s$ ). No entanto deve manter o valor médio de  $v_o$  aproximadamente constante.



As tensões  $V_1$  e  $V_2$  nos capacitores são aplicadas ao ponto Z de acordo com a posição da chave  $CH_1$ . Então, o chaveamento pode ser representado como na Fig. 3.6 pelo gerador de tensão retangular ( $v_{CH}$ ) com tensão pico-a-pico igual a  $V_1 + V_2$ .

O chaveamento proporciona uma componente fundamental  $V_{1CH}$  na mesma frequência da fonte  $v_s$  e com ângulo de deslocamento  $\theta_{1CH}$ . Esta componente permite que a corrente  $i_s$  esteja em fase com  $v_s$  para obter um Fator de Potência (FP) unitário [7]

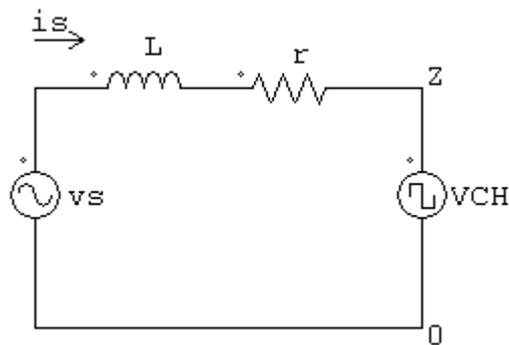


Figura 3.6: Modelo simplificado do retificador para o controle da corrente.

De acordo com a Fig. 3.6, a corrente  $i_s$  é dada fasorialmente por [6]:

$$I_s = \frac{V_s \angle \theta_s - V_{1CH} \angle \theta_{1CH}}{|Z| \angle \theta}, \quad (3.2.1)$$

onde  $Z = R + j\omega L$

Observa-se, na equação (3.2.1), que é possível controlar a amplitude e a fase da corrente  $i_s$  através da tensão  $V_{1CH}$  e do ângulo de fase  $\theta_{1CH}$ .

Para isto utiliza-se um PWM senoidal [3], que proporciona uma componente fundamental em 60 Hz (frequência de  $v_s$ ). Os demais harmônicos têm frequências bem mais altas com amplitudes pequenas. Deste modo a distorção harmônica diminui significativamente e o fator de potência torna-se unitário.

Para obter o modelo linear calcula-se o valor médio da tensão  $v_{CH}$  em cada ciclo do PWM. Esta é uma boa aproximação porque a frequência de chaveamento (10 kHz) é muito maior que 60 Hz.

Assumindo PWM com *duty cycle*  $D$  e que  $S_2$  é sempre ativada no início do período, o valor médio da tensão  $v_{CH}$  em cada ciclo é igual a:

$$V_{CH} = \frac{V_1 \times D \times T + V_2(1-D)T}{T} \Rightarrow$$

$$V_{CH} = V_1 D + V_2(D-1), \quad (3.2.2)$$

onde:  $V_{CH}$  é o valor médio de um ciclo PWM da tensão  $v_{CH}$  e  $T$  é o período do sinal PWM.

No modelo para o projeto do controle da tensão supõe-se que o retificador esteja em condução contínua de corrente [3] e que  $i_s$  seja sempre senoidal:

$$i_s = I_{ref}(t) \text{sen}(\omega_s t).$$

A Fig. 3.7 mostra o retificador alimentado por uma fonte de corrente senoidal.

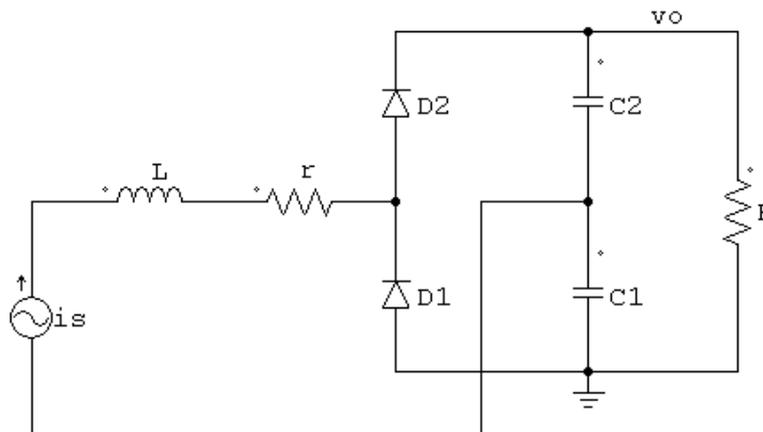


Figura 3.7: Modelo do retificador para o controle da tensão de saída.

No semi-ciclo positivo de  $i_s$ ,  $D_2$  conduz e  $D_1$  está cortado. Deste modo pode-se substituir o modelo da Fig. 3.7 pelo modelo simplificado na Fig. 3.8. No semi-ciclo negativo de  $i_s$ , em que  $D_1$  conduz e  $D_2$  está cortado, o circuito da Fig. 3.9 pode ser utilizado como modelo simplificado.

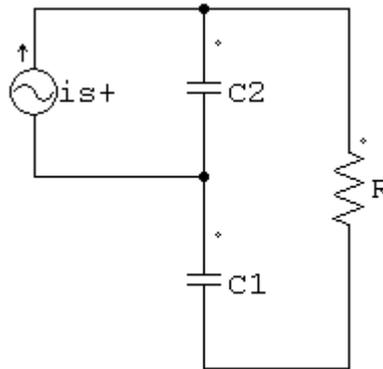


Figura 3.8: Modelo simplificado do retificador para o controle da tensão de saída no semi-ciclo positivo de  $i_s$ .

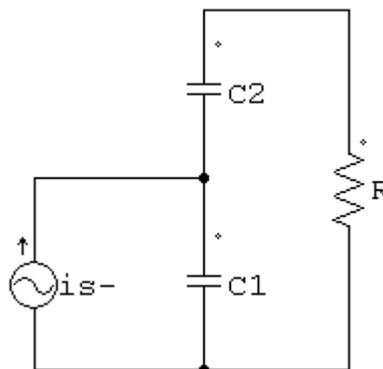


Figura 3.9: Modelo simplificado do retificador para o controle da tensão de saída no semi-ciclo negativo de  $i_s$ .

De acordo com os modelos simplificados, as correntes  $i_{s+}$  e  $i_{s-}$  circulam somente durante meio ciclo da senóide e estão defasadas de  $180^\circ$  como é escrito a seguir.

$$i_{s+}(t) = \begin{cases} I_{ref} \text{sen}(\omega_s t), & \text{se } \text{sen}(\omega_s t) \geq 0 \\ 0, & \text{se } \text{sen}(\omega_s t) < 0 \end{cases}$$

$$i_{s-}(t) = \begin{cases} 0 & , \text{ se } \text{sen}(\omega_s t) \geq 0 \\ -I_{ref} \text{sen}(\omega_s t) & , \text{ se } \text{sen}(\omega_s t) < 0 \end{cases}$$

As Figuras 3.10 e 3.11 apresentam as correntes  $i_{s+}$  e  $i_{s-}$  simuladas.

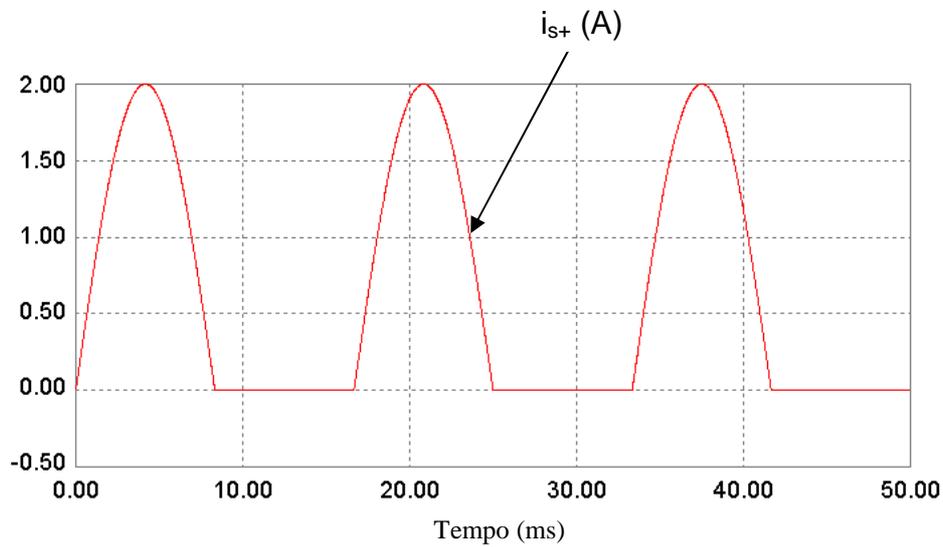


Figura 3.10: Corrente de entrada  $i_{s+}$  simuladas (a intensidade da corrente é somente ilustrativa).

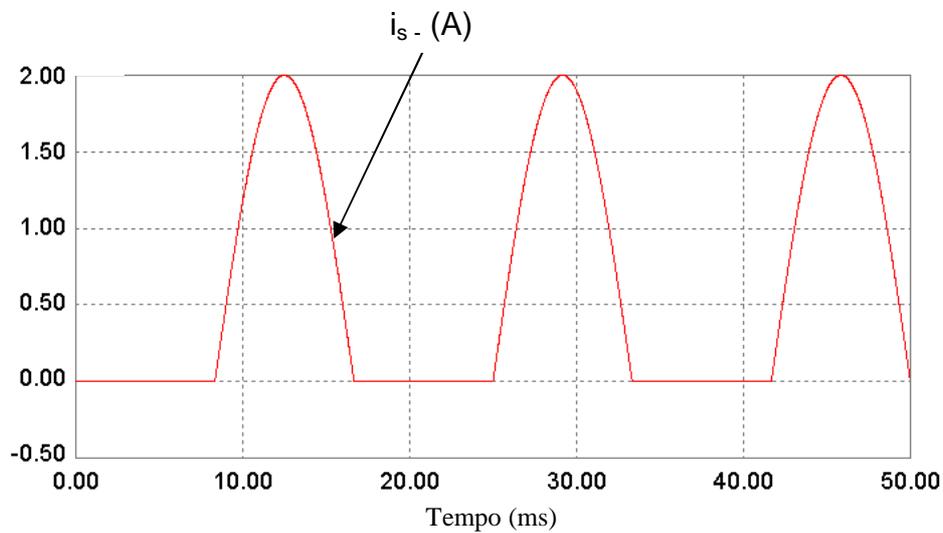


Figura 3.11: Corrente de entrada  $i_{s-}$  (a intensidade da corrente é somente ilustrativa).

Como  $i_{s+}$  e  $i_{s-}$  nunca circulam simultaneamente e a fonte de corrente, quando  $i_s$  é igual a zero, comportam-se como um circuito aberto; então o modelo linear para a Fig. 3.7 pode ser substituído pelo circuito alimentado por  $i_{s+}$  e  $i_{s-}$  simultaneamente apresentado na Fig. 3.12.

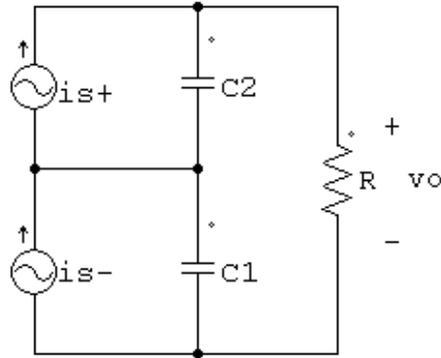


Figura 3.12: Modelo simplificado do retificador para o controle da tensão de saída, válido para os dois semi-ciclos de  $i_s$ .

Para projetar um controlador para tensão de saída, é necessário obter uma função de transferência que relacione a tensão média de saída ( $V_o$ ) e a amplitude da corrente de referência ( $I_{ref}$ ).

Em regime permanente, a corrente média que entra no circuito (Fig. 3.12), passa somente pela carga ( $R$ ); então o modelo linear para corrente ( $i_{ref}$ ) e tensão ( $v_o$ ) instantâneas (Fig. 3.12), pode ser substituído pelo modelo para corrente e tensão médias apresentado na Fig. 3.13.

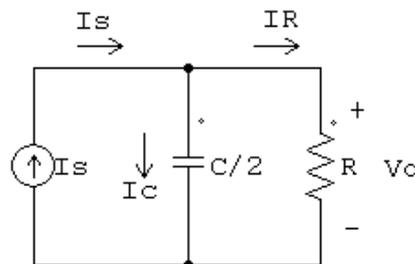


Figura 3.13: Modelo simplificado do retificador para o controle da tensão de saída, válido para os valores médios de tensão e corrente.

A tensão média de saída depende da corrente média de entrada ( $I_s$ ), assim, pela lei das correntes de *Kirchhoff* obtém-se:

$$C \frac{dV_o(t)}{dt} + \frac{2}{R} V_o(t) = I_s(t), \quad (3.2.3)$$

com  $C = C_1 = C_2$ .

Como, neste caso,  $i_{ref}$  é praticamente igual a  $i_s$ , a corrente  $I_s$  pode ser escrita em função da amplitude da corrente de referência:

$$I_s(t) = \frac{I_{ref}}{\pi}$$

Assumindo-se condições iniciais nulas e aplicando-se, a Transformada de Laplace, obtém-se a função de transferência para o projeto do controle de tensão:

$$P_V = \frac{V_o(s)}{I_{ref}(s)} = \frac{\frac{2}{\pi C}}{\frac{2}{RC} + s} \quad (3.2.4)$$

Para simplificar o projeto do controlador da tensão, o PI será projetado a partir da tensão média de saída ( $V_o$ ), apesar, da tensão medida para realizar o controle ser a tensão instantânea de saída ( $v_o$ ), uma vez que, é a tensão  $V_o$  que o controle regula e o *ripple* na tensão  $v_o$  é inevitável.

### 3.3 – Projeto do controlador para a corrente de entrada

O projeto do controlador para a corrente de entrada utiliza a eq. (3.2.2) obtida no desenvolvimento do modelo linear para o retificador e o programa de simulação PSIM. Utilizando-se o conceito de controle hierárquico inicia-se o projeto pela malha de controle de corrente, a malha mais interna [7], [10]. Portanto o circuito usado na simulação (Fig. 3.14) não apresenta controle para a tensão de saída.

O método de chaveamento utilizado é o PWM senoidal. Assim, sempre haverá uma chave (IGBT) ativada (nunca simultaneamente). Para que, enquanto o *duty cycle* (D) for maior do que 50% a corrente  $i_s$  seja forçada a aumentar e enquanto D for menor do que 50% a corrente seja forçada a diminuir, um valor constante de 0,5 V ( $V_d$ ) é somado ao sinal fornecido pelo controlador P. Um limitador (LIM) é utilizado para manter D entre 0 e 1 e uma onda triangular ( $V_{tri}$ ) é utilizada como portadora para gerar os pulsos PWM.

Assim, o *duty cycle* do PWM é:

$$D = 0,5 + K_{pi} e_i \quad (3.3.1)$$

onde:  $K_{pi}$  é o ganho proporcional do controlador proporcional da corrente de entrada e  $e_i$  é o erro de corrente.

Substituindo a eq. (3.2.2) na (3.3.1) e assumindo que  $V_1 = V$  e  $V_2 = -V$ , obtém-se:

$$V_{chM} = 2VK_{pi} e_i \quad (3.3.2)$$

Os parâmetros utilizados na simulação encontram-se na Tabela 3.1.

Tabela 3.1: Parâmetros utilizados na simulação.

Símbolo	Parâmetros	Unidade
$V_s$	20	$V_p$
$f$	60	Hz
$L$	4,5	mH
$r$	57	$m\Omega$
$R$	186	$\Omega$
$C_1$	990	$\mu F$
$C_2$	990	$\mu F$

Para evitar problemas com a pré-carga dos capacitores, a simulação inicia com tensões iniciais iguais a 20 V em  $C_1$  e  $C_2$ .

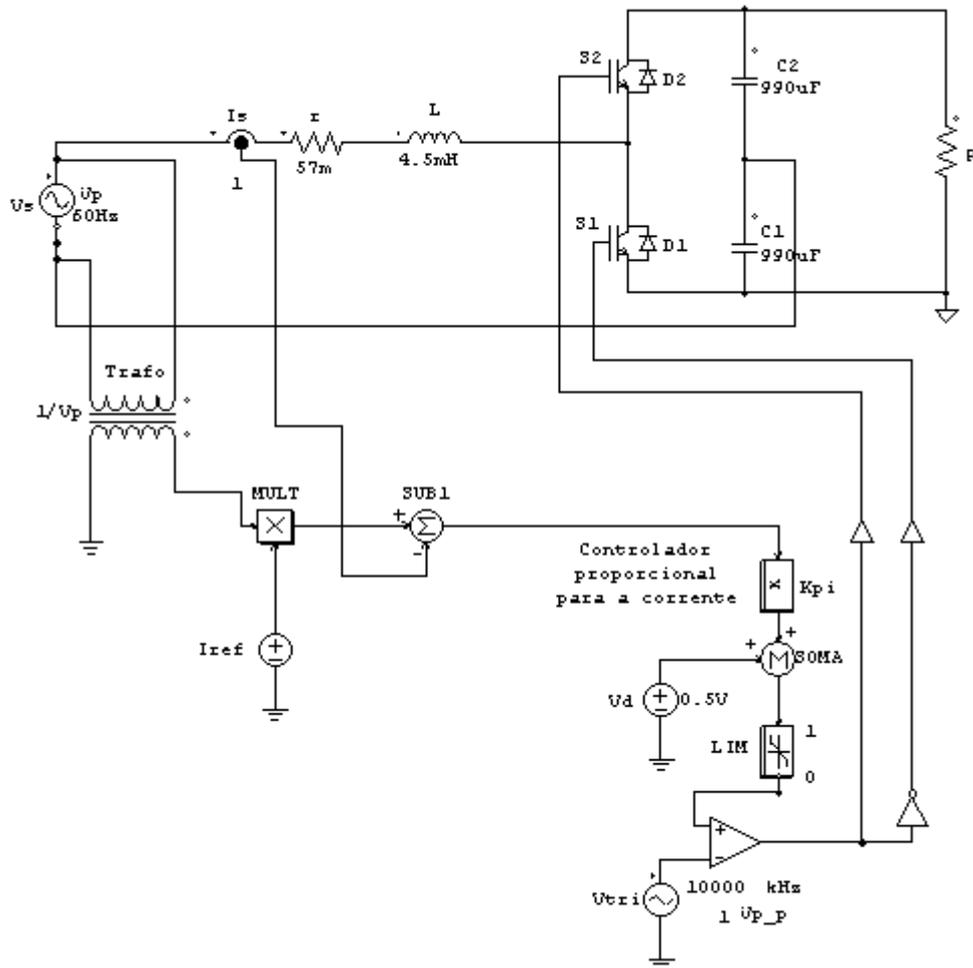


Figura 3.14: Circuito utilizado para controlar a corrente de entrada.

Durante as simulações, diversos valores para  $K_{pi}$  foram testados e verificou-se que  $K_{pi}$  pode ser aumentado indefinidamente, mas a partir de um determinado valor não se observa alterações nos resultados. Por isso foi escolhido o maior valor para o ganho proporcional em que os resultados apresentaram melhora:

$$K_{pi} = -15$$

### 3.4 – Resultados de simulações do retificador com o controle da corrente de entrada

O controlador para a corrente de entrada foi projetado independente do valor da tensão de saída ( $v_o$ ), por isso  $I_{ref}$  precisa ser suficientemente grande

para gerar em cada capacitor ( $C_1$  e  $C_2$ ) uma tensão maior do que  $V_p$ , caso contrário, quando o módulo da tensão de entrada ( $|v_s|$ ) for maior do que a tensão nos capacitores, um dos diodos entra em condução e o chaveamento não funciona [2].

A Fig. 3.15 apresenta a corrente de entrada quando  $I_{ref} = 0,5$  A. É possível observar que  $i_s$  não segue a corrente de referência em todos os instantes. Isto ocorre porque a tensão de saída permanece menor do que  $2V_p$  (Fig. 3.16).

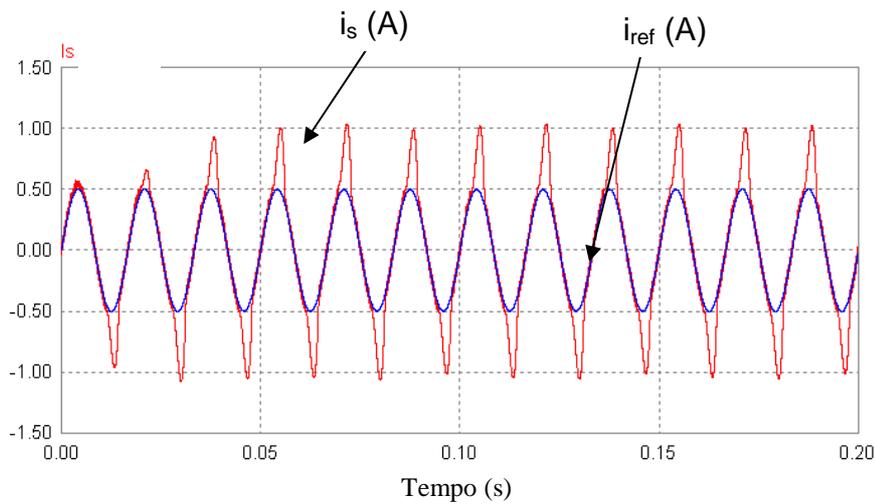


Figura 3.15: Corrente de referência e corrente de entrada quando  $I_{ref} = 0,5$  A.

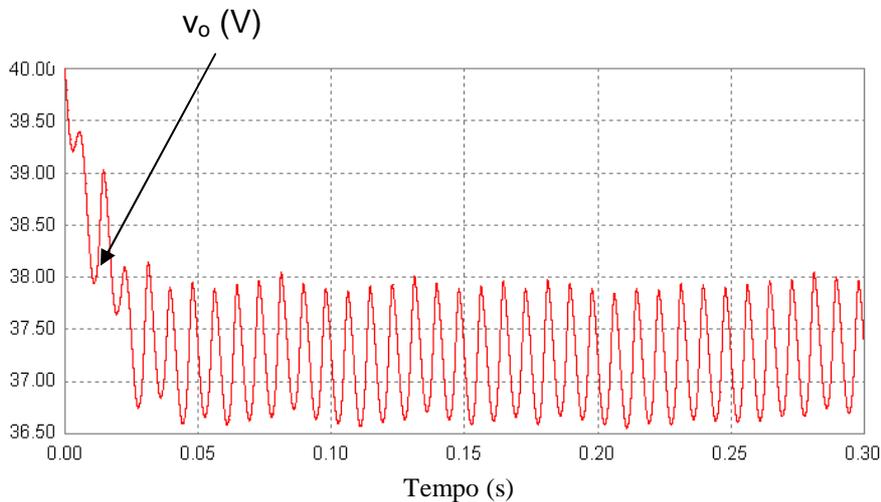
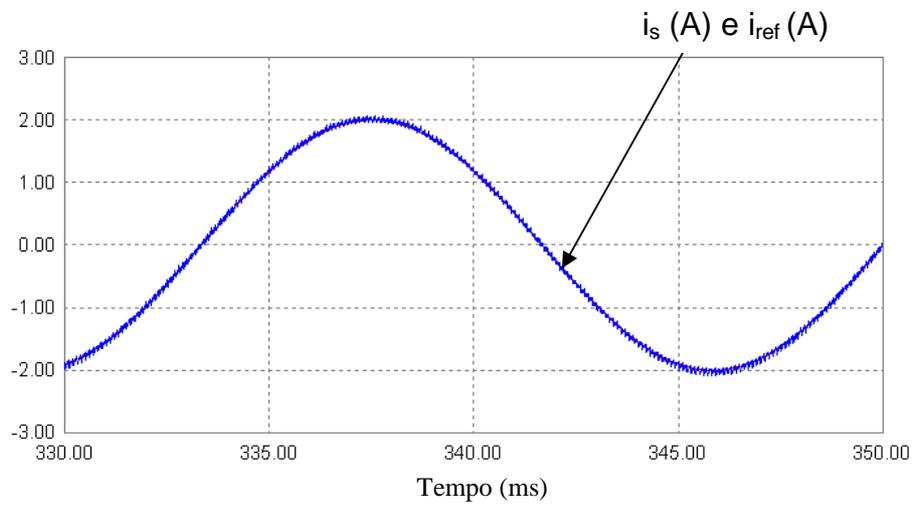


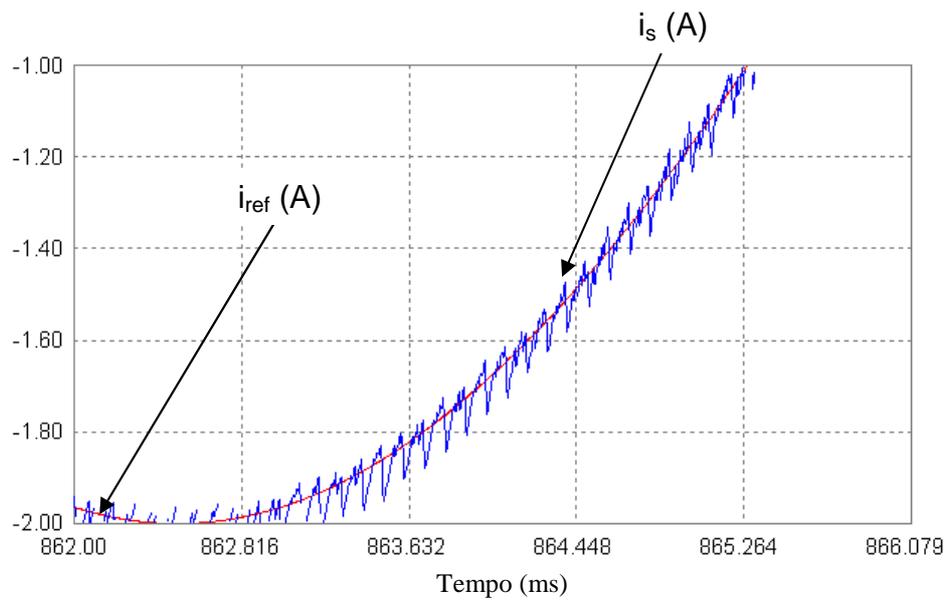
Figura 3.16: Tensão de saída quando  $I_{ref} = 0,5$  A.

Trocando o valor de  $I_{ref}$  para 2 A (Fig. 3.17) a corrente de entrada segue a referência em todos os instantes e a tensão de saída, em regime permanente,

apresenta valor médio maior do que 60 V (Fig. 3.18), desta forma a tensão nos capacitores permanecem maior do que  $V_p$ .



(a)



(b)

Figura 3.17: Corrente de referência e corrente de entrada quando  $I_{ref} = 2$  A.

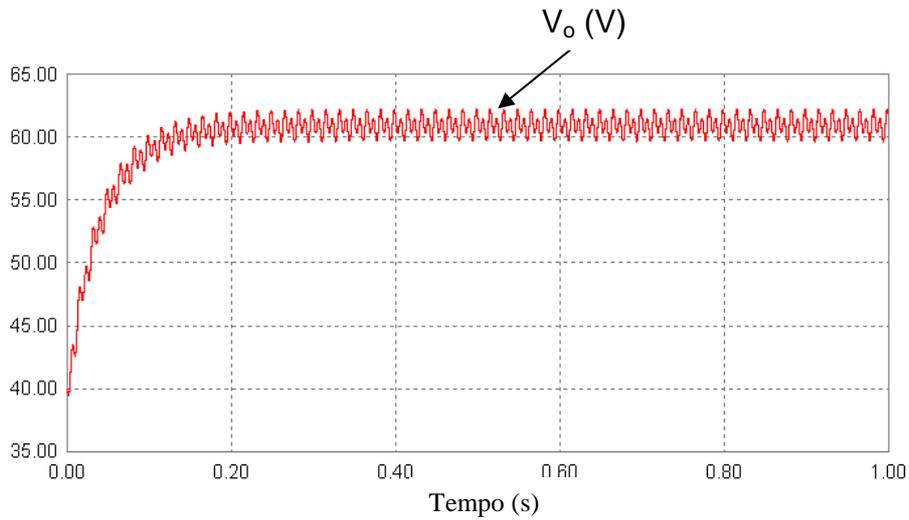


Figura 3.18: Tensão de saída quando  $I_{ref} = 2$  A.

Como não há controle para a tensão,  $v_o$  aumenta conforme  $I_{ref}$  aumenta.

### 3.5 – Projeto do controlador para a tensão de saída

O projeto do controlador para a tensão utiliza a eq. (3.2.4), obtida no desenvolvimento do modelo linear para o retificador, e o programa de simulação PSIM.

Após projetar o controlador para a corrente inicia-se o projeto da malha de controle da tensão. Assumindo a malha de controle da corrente em regime permanente, a razão entre a tensão média de saída e o erro de tensão pode ser escrita da seguinte forma:

$$\frac{V_o(s)}{e_v(s)} = G_v(s)P_V(s) \quad (3.5.1)$$

onde  $G_v$  é função de transferência do PI

$$G_v(s) = K_v \left( \frac{s+a}{s} \right) \quad (3.5.2)$$

Substituindo (3.2.4) e (3.5.2) em (3.5.1), obtém-se:

$$\frac{V_o(s)}{e_v(s)} = K_v \left( \frac{s+a}{s} \right) \left( \frac{\frac{2}{\pi C}}{s + \frac{2}{RC}} \right) \quad (3.5.3)$$

Por razões de simplificação, faz-se o zero de  $G_v$  coincidir com o polo de  $P_v$ .

$$a = \left( \frac{2}{RC} \right) \quad (3.5.4)$$

$$\frac{V_o(s)}{e_v(s)} = \frac{2K_v}{\pi C} \left( \frac{1}{s} \right) \quad (3.5.5)$$

Para obter o valor de  $K_v$  e os resultados da simulação com o controle de corrente e de tensão funcionando simultaneamente, foi utilizado o circuito mostrado na Fig 3.19. Este circuito difere do apresentado na Fig. 3.14 apenas pelo controle de tensão.

Os parâmetros utilizados na simulação encontram-se na Tabela 3.2.

Tabela 3.2: Parâmetros utilizados na simulação do retificador com o controle de corrente e o controle de tensão ativados.

Símbolo	Parâmetros	Unidade
$v_s$	20	$V_p$
$f$	60	Hz
$L$	4,5	mH
$r$	57	$m\Omega$
$R$	186	$\Omega$
$C_1$	990	$\mu F$
$C_2$	990	$\mu F$

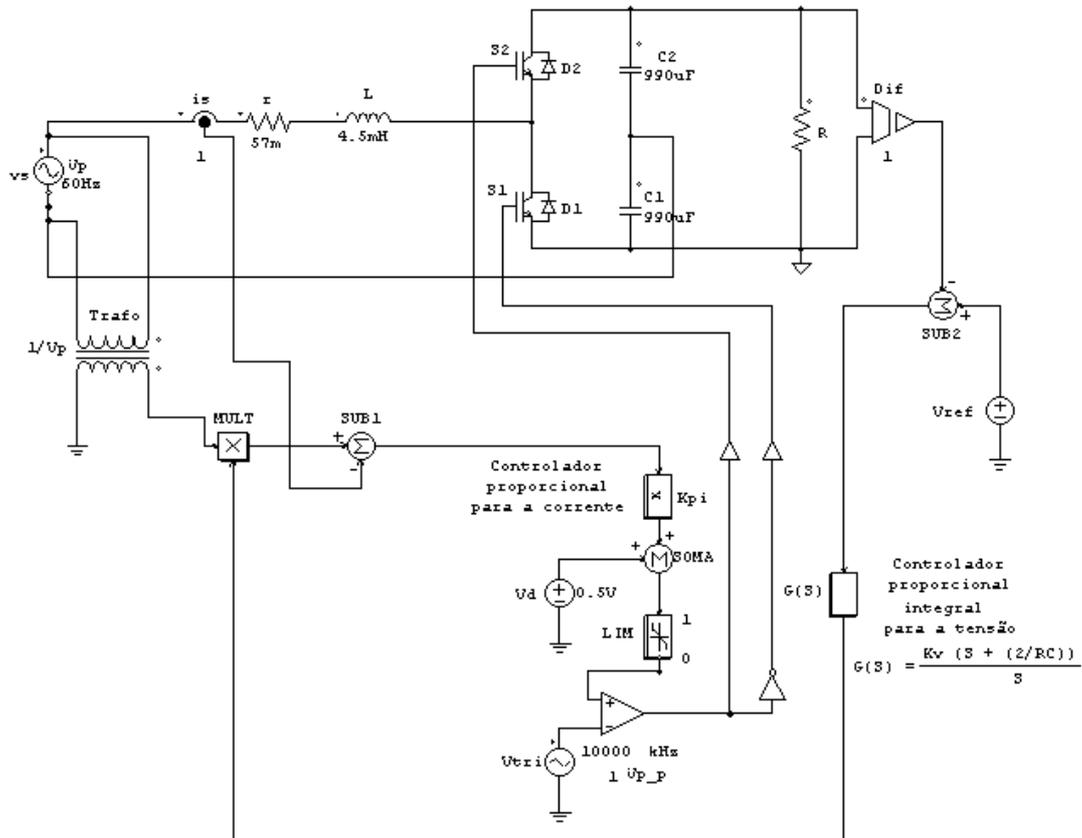


Figura 3.19: Circuito utilizado para projetar o controlador da tensão de saída e obter a simulação do controle de corrente e tensão funcionando simultaneamente.

O sistema de controle foi simulado para diversos valores de  $K_v$  para obter um valor que não produzisse distorções na forma senoidal da corrente e mantivesse a tensão de saída estável.

O valor obtido foi:

$$K_v = 29,7 \times 10^{-6}$$

### 3.6 – Resultados de simulações do retificador com controle da corrente de entrada e controle da tensão de saída

A tensão de referência escolhida para a simulação foi 70 V, pois a potência dissipada pela carga ( $P_o$ ) é limitada em 30 W e, como já foi discutido

nas seções anteriores, a tensão de saída precisa ser maior do que  $2V_p$  para o controle funcionar corretamente.

$$P_o = \frac{V_o^2}{R} = \frac{70^2}{186} = 26,4 \text{ W}$$

O controlador P utilizado será o mesmo obtido na seção 3.3 e o controlador PI será utilizando os parâmetros da simulação. Pela eq. (3.5.4), obtém-se:

$$a = \left( \frac{2}{RC} \right) = \frac{2}{186 \times 990 \times 10^{-6}} = 10,86.$$

Aplicando a eq. (3.5.2) obtém-se:

$$G_v = 29,7 \times 10^{-6} \left( \frac{s + 10,86}{s} \right).$$

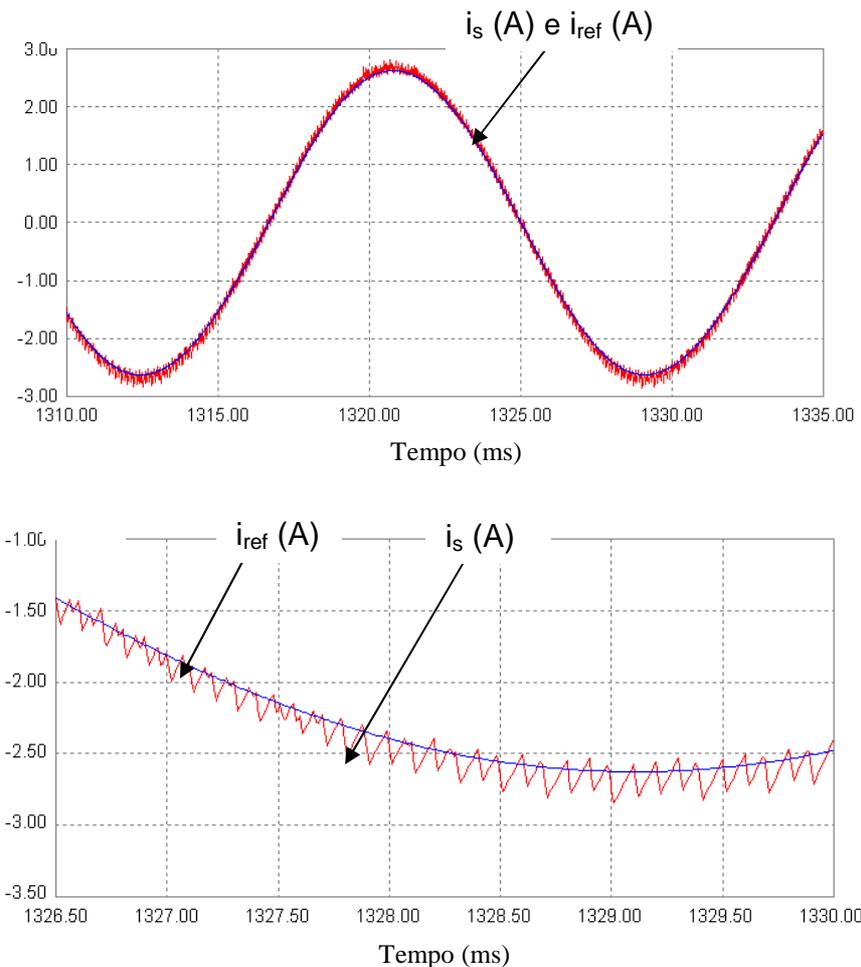


Figura 3.20: Corrente de entrada com controle de corrente e controle de tensão ativados ( $R = 186\Omega$ ).

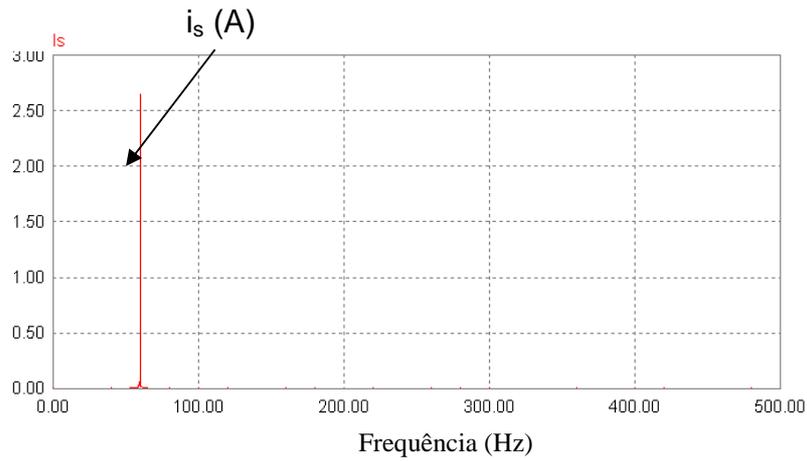


Figura 3.21: Espectro da corrente de entrada obtida pela FFT com controle de corrente e controle de tensão ativados ( $R = 186\Omega$ ).

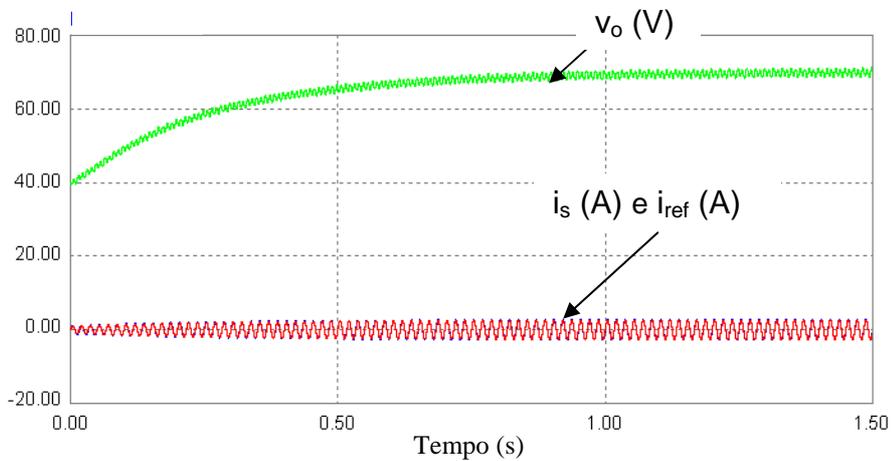


Figura 3.22: Tensão de saída, corrente de entrada e corrente de referência com o controle de corrente e o controle de tensão ativados ( $R = 186\Omega$ ).

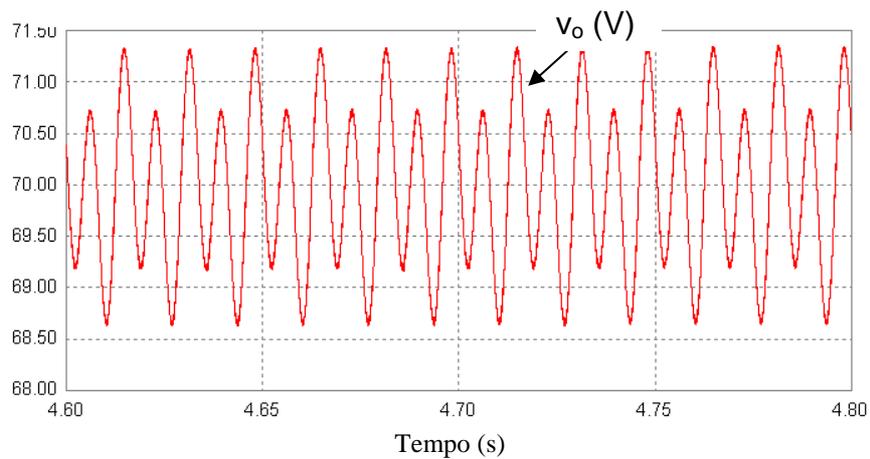


Figura 3.23: Tensão de saída com o controle de corrente e o controle de tensão ativados ( $R = 186\Omega$ ).

A corrente de entrada seguiu a corrente de referência e apresentou fator de potência praticamente unitário. A tensão média de saída manteve-se no valor de referência (70 V) e apresentou baixo fator de *ripple*.

Comparando os resultados da simulação com controle ativado e sem controle ativado, observa-se que a utilização do controle proporcionou uma grande melhora no funcionamento do circuito. O fator de potência, na entrada do retificador, tornou-se praticamente unitário e o fator de *ripple* na saída, apesar do chaveamento, manteve-se praticamente constante em relação aos resultados obtidos no Cap. 2. Além de aumentar a qualidade de energia e reduzir os harmônicos presentes na rede elétrica, a tensão de saída pode ser elevada até o valor que for necessário, desde que não ultrapasse as limitações físicas do circuito.

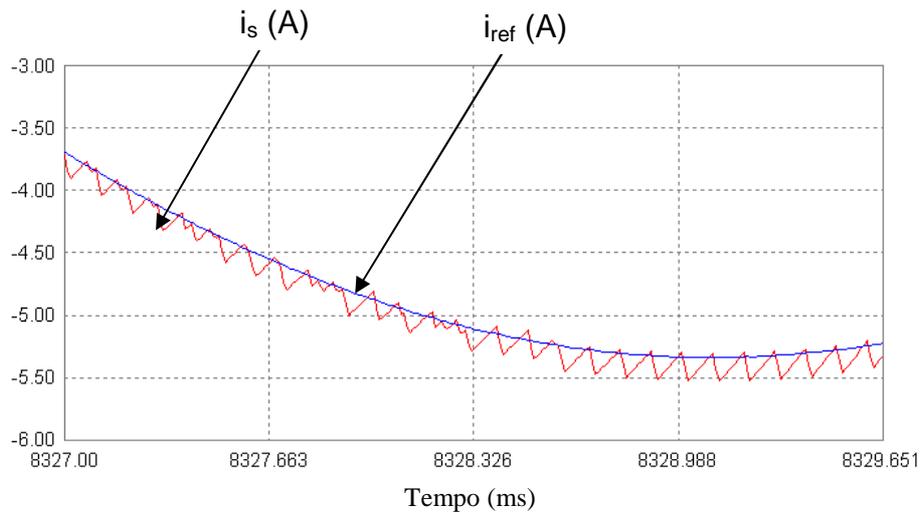
Para verificar o quanto o controle é robusto a variações da carga, além das simulações realizadas para o valor de carga do circuito experimental ( $R = 186 \Omega$ ), foram realizadas simulações para outros valores de R.

$$R = \left( \frac{186}{2} \right) = 93 \Omega$$

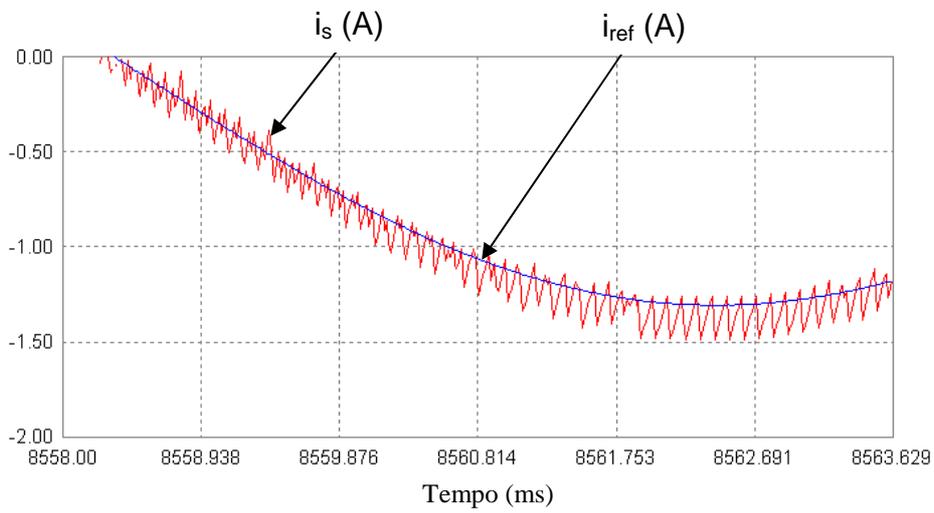
e

$$R = 2 \times 186 = 372 \Omega$$

Os outros parâmetros de simulação foram mantidos.

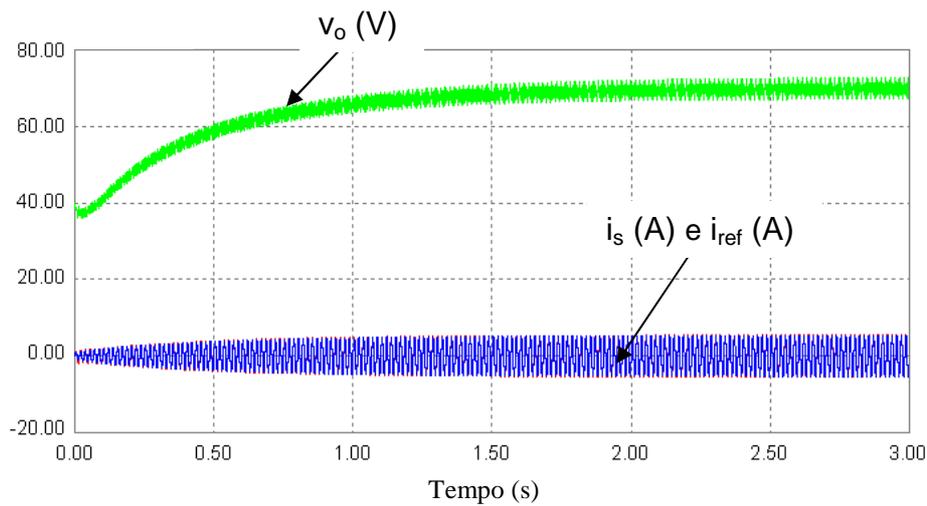


(a)

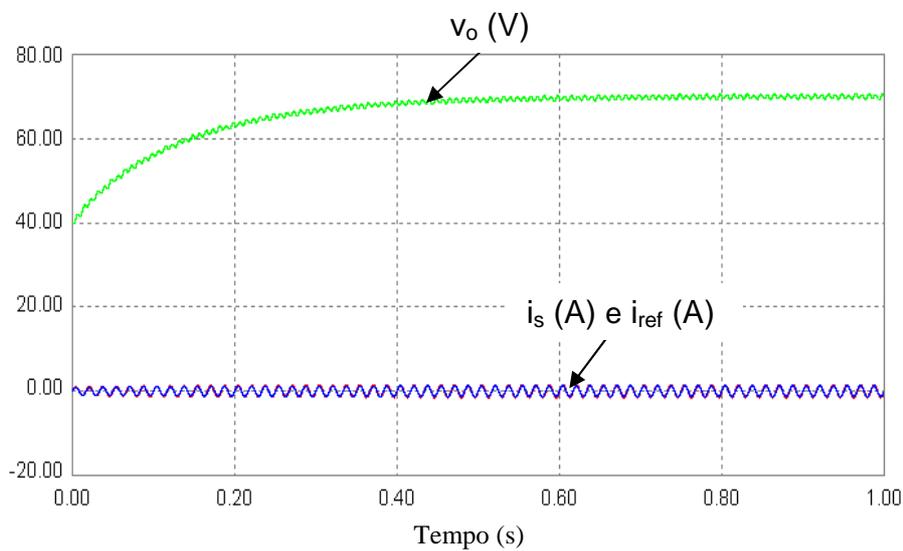


(b)

Figura: 3.24: Corrente de entrada e corrente de referência com o controle de corrente e o controle de tensão ativados; (a)  $R = 93 \Omega$ , (b)  $R = 372 \Omega$ .



(a)



(b)

Figura: 3.25: Corrente de entrada, corrente de referência e tensão de saída com o controle de corrente e o controle de tensão ativados; (a)  $R = 93 \Omega$ , (b)  $R = 372 \Omega$ .

A simulação realizada para  $R = 93 \Omega$  e  $R = 372 \Omega$  mostrou que o controle é robusto a variações na carga. Além disso, observa-se que o erro máximo de corrente mantém-se em torno de 0,25 A independente da amplitude da corrente de entrada e do valor da carga. Isso mostra que quanto maior for a amplitude da corrente de entrada menor será o erro percentual de  $i_s$  em relação a  $i_{ref}$ .

A Tabela 3.3 apresenta os resultados numéricos obtidos através de simulação com o controle desativado (Cap. 2) e com o controle de corrente e de tensão ativados.

Tabela 3.3 Cálculos de simulações.

	Cálculos de Simulações	
	Controle Desativado	Controle Ativado
DPF	0,93	1
THD <sub>v</sub>	0%	0%
THD <sub>i</sub>	70%	2%
PF	0,76	1
RF <sub>v</sub>	1,70%	1,14%
$\eta$	93,5%	97,9%

Os resultados mostraram que o controle projetado melhorou significativamente o desempenho do circuito, principalmente em relação ao fator de potência a distorção harmônica da corrente.



Tabela 4.1: Conectores do DSP TMS320F2812.

Conectores	Função
P1	Interface JTAG
P2	Expansão
P3	Porta Paralela
P4/P8/P7	Entradas e Saídas Digitais
P5/P9	Canais de Entrada do Conversor A/D
P6	Conector de Alimentação

Para este trabalho serão utilizados os conectores: P3, P8, P5, P9 e P6.

#### 4.1 – Code Composer Studio

O *Code Composer Studio* (CCStudio) [12] é o programa que funciona como interface entre o usuário e o DSP. Através deste *software* é desenvolvido todo o projeto que gerencia o sistema de controle.

O *software* pode ser desenvolvido em linguagem C ou C++. Para esse trabalho, o programa será desenvolvido em linguagem C. O programa desenvolvido neste trabalho baseou-se no programa desenvolvido no trabalho de Iniciação Científica [8].

O CCStudio fornece as ferramentas de geração do código básico com análise em tempo real e debug. O CCStudio suporta todas as fases do ciclo de desenvolvimento mostrado na Fig. 4.2 [12].

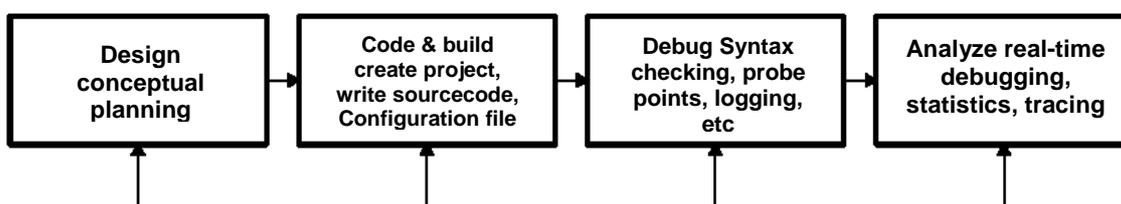


Figura. 4.2: Fases do ciclo de desenvolvimento do *Code Composer Studio*.

Extraído do manual (TI spru509c, Figura 1-1).

Para desenvolver um programa utilizando o CCStudio é necessário criar um projeto. Este projeto é dividido em pastas e cada tipo de arquivo tem uma pasta que será destinado. A estrutura do projeto é mostrada na Fig. 4.3

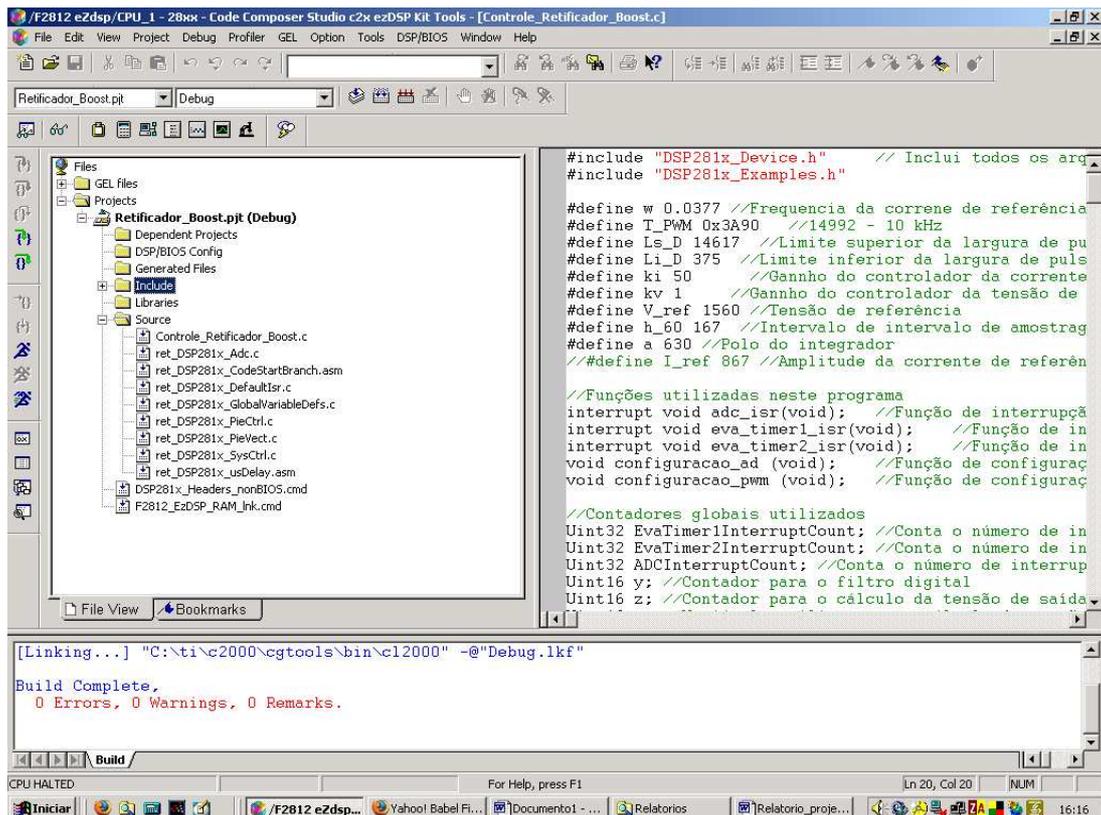


Figura. 4.3: Tela de um projeto desenvolvido no *Code Composer Studio*.

É necessário indicar para o compilador o diretório em que se encontra cada arquivo utilizado no projeto, caso contrário não será possível realizar a compilação.

O programa principal (executado pelo DSP), que realiza o controle do retificador é apresentado no apêndice D. Este programa foi desenvolvido em linguagem C através do *Code Composer Studio* e é estruturado de acordo com o fluxograma apresentado na Fig. 4.4.

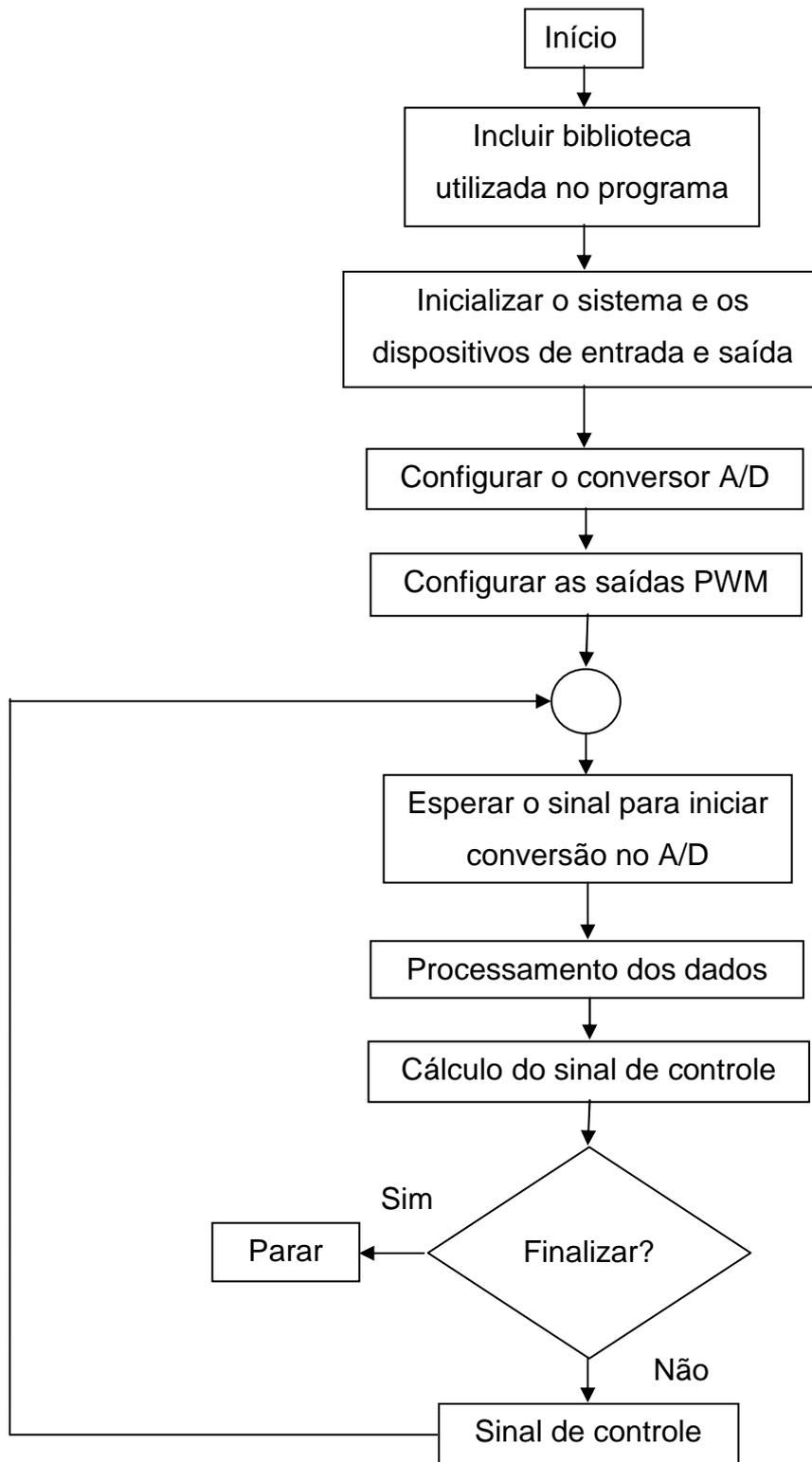


Figura 4.4: Fluxograma do programa principal do processador digital de sinais.

#### 4.1.1 – Acesso aos registradores do processador utilizando linguagem C

Nesta seção será mostrado como é possível acessar os registradores do DSP utilizando linguagem C [13]. Este conhecimento é fundamental para o desenvolvimento do *software* de controle do retificador.

O CCStudio permite utilizar estruturas (*struct*) do código escrito em C para agrupar todos os registradores que pertencem a um periférico particular. Cada estrutura do código em C é então mapeada na memória do DSP através do *linker* representando cada registrador relativo aos dispositivos periféricos. Este mapeamento permite que o compilador acesse os registradores periféricos que usam diretamente o ponteiro da página dos dados do processador central. Além disso, dentro destas estruturas são declaradas variáveis, do tipo inteiro sem sinal, para mapear cada *bit* de um determinado registrador, permitindo que o compilador leia ou manipule um único *bit* dentro de cada registrador [14]. A Tabela 4.2 apresenta um exemplo que mostra a estrutura de um código correspondente ao registrador de um temporizador (*timer*) da unidade central de processamento (*Central Processing Unit – CPU*).

Tabela 4.2: Código correspondente ao registrador de um temporizador da CPU.

Extraído do manual (TI DSP281x\_Readme\_V100).

```
/*
CPU-Timer header file using structures
*/
struct CPUTIMER_REGS
{
  Uint32 TIM; // Timer counter register
  Uint32 PRD; // Period register
  Uint16 TCR; // Timer control register
  Uint16 rsvd1; // reserved
  Uint16 TPR; // Timer pre-scale low
  Uint16 TPRH; // Timer pre-scale high
};
```

Os nomes dos registradores aparecem na mesma ordem que estão arranjados na memória.

As posições que são reservadas na memória são mantidas dentro da estrutura por uma variável reservada (rsvd1, rsvd2 etc.). Os membros da estrutura reservados não são usados, exceto para reservar o espaço na memória.

Uin16 e Uin32 são *typedefs* para valores inteiros de 16 *bits* e 32 *bits* sem sinal.

A definição da estrutura de arquivos do registrador é usada então para declarar uma variável que seja usada para acessar os registradores. Isto é feito para cada um dos periféricos do dispositivo. O mesmo periférico usa a mesma definição da estrutura. Por exemplo, se há três temporizadores em um dispositivo, então haverá três variáveis do tipo *volatile struct* na memória, como é mostrado na Tabela 4.3.

Tabela 4.3: Código correspondente a três temporizadores num mesmo dispositivo.  
Extraído do manual (TI DSP281x\_Readme\_V100).

```

/*****
 * CPU-Timer header file using structures
 *****/
volatile struct CPUTIMER_REGS CpuTimer0Regs;
volatile struct CPUTIMER_REGS CpuTimer1Regs;
volatile struct CPUTIMER_REGS CpuTimer2Regs;
```

A palavra-chave *volatile* é importante na declaração da variável. *Volatile* indica ao compilador que o conteúdo da variável pode ser mudado no hardware e assim o compilador não otimizará o código que usa uma variável deste tipo.

Cada variável correspondente a uma estrutura de um registrador periférica é atribuída então a uma seção de dados do compilador usando o comando `#pragma`. No exemplo mostrado na Tabela 4.4, a variável `CpuTimer0Regs` é atribuída à seção de dados `CpuTimer0RegsFile`.

Tabela 4.4: Código correspondente a atribuição de variável. Extraído do manual (TI DSP281x\_Readme\_V100).

```

/*****
DSP281x_headers\source\DSP281x_GlobalVariableDefs.c
*****/
/* Assign the variable CpuTimer0Regs to the CpuTimer0RegsFile
output section using the #pragma compiler statement. C and C++ use
different forms of the #pragma statement. When compiling a C++
program, the compiler will define __cplusplus automatically */

#ifdef __cplusplus // used by C++
#pragma DATA_SECTION("CpuTimer0RegsFile")
#else // used by C
#pragma DATA_SECTION(CpuTimer0Regs, "CpuTimer0RegsFile");
#endif
volatile struct CPUTIMER_REGS CpuTimer0Regs; //variable
//CpuTimer0Regs of type CPUTIMER_REGS

```

Esta atribuição à seção de dados é repetida para cada variável, do tipo *struct*, associada aos registradores periféricos do dispositivo. Como cada estrutura é atribuída a própria seção de dados, o *linker* é usado para mapear cada seção diretamente aos registradores mapeados na memória, como é mostrado Tabela 4.5.

Tabela 4.5: Código correspondente ao mapeamento de seção através do *linker*. Extraído do manual (TI DSP281x\_Readme\_V100).

```

/*****
DSP281x_headers\include\DSP281x_Headers_nonBIOS.cmd
*****/
MEMORY
{
PAGE 1:
CPU_TIMER0 : origin = 0x000C00, length = 0x000008 /*CPU Timer0
}
SECTIONS
{
CpuTimer0RegsFile : > CPU_TIMER0, PAGE = 1
}

```

Mapeando a variável diretamente ao mesmo endereço de memória dos registradores, o usuário pode acessar os registradores através do código em C simplesmente acessando a variável correspondente.

É possível acessar o registrador por completo, ou acessar apenas um *bit* desse registrador. Na Tabela 4.6 é mostrado como isso é feito.

Tabela 4.6: Código correspondente ao acesso a um registrador. Extraído do manual (TI DSP281x\_Readme\_V100).

```
/******  
DSP281x_headers\include\DSP281x_CpuTimers.h CPU-Timer header file  
*****/  
struct TCR_BITS { // bits description  
  Uint16 rsvd1:4; // 3:0 reserved  
  Uint16 TSS:1; // 4 Timer Start/Stop  
  Uint16 TRB:1; // 5 Timer reload  
  Uint16 rsvd2:4; // 9:6 reserved  
  Uint16 SOFT:1; // 10 Emulation modes  
  Uint16 FREE:1; // 11  
  Uint16 rsvd3:2; // 12:13 reserved  
  Uint16 TIE:1; // 14 Output enable  
  Uint16 TIF:1; // 15 Interrupt flag  
};  
  
/******  
DSP281x_headers\include\DSP281x_CpuTimers.h CPU-Timer header file  
*****/  
union TCR_REG {  
  Uint16 all;  
  struct TCR_BITS bit;  
};
```

A declaração *union* é usada para permitir que o registrador seja acessado em cada *bit* ou por completo.

Uma vez que os *bits* do registrador e *union* foram declarados para cada registrador, a estrutura pode ser reescrita em termos de cada definição *union* (Tabela 4.7).

Tabela 4.7: Código correspondente a estrutura em termos de cada definição *union*.  
Extraído do manual (TI DSP281x\_Readme\_V100).

```
/******  
DSP281x_headers\include\DSP281x_CpuTimers.h CPU-Timer header file  
*****/  
struct CPUTIMER_REGS  
{  
union TIM_GROUP TIM; // Timer counter register  
union PRD_GROUP PRD; // Period register  
union TCR_REG TCR; // Timer control register  
Uint16 rsvd1; // reserved  
union TPR_REG TPR; // Timer pre-scale low  
union TPRH_REG TPRH; // Timer pre-scale high  
};
```

Então é possível acessar o registrador por completo utilizando <.all>, ou acessar cada *bit* utilizando <.bit>. Para acessar o registrador por completo é necessário utilizar uma máscara (número em hexadecimal), que atribua a cada *bit* o nível lógico desejado.

Tabela 4.8: Código correspondente ao modo de acessar um registrador. Extraído do manual (TI DSP281x\_Readme\_V100).

```
/******  
User's source file  
*****/  
CpuTimer0Regs.TCR.bit.TSS = 1; //Example of accessing a single bit  
CpuTimer0Regs.TCR.all = TSS_MASK; //Example of accessing the whole  
//register
```

O acesso a cada *bit* torna o programa fácil de interpretar, mas gera um código extenso. E ao acessar o registrador por completo torna o código difícil de interpretar, mas gera um código curto.

Os arquivos que mapeiam os registradores do DSP podem ser obtidos no site da *Texas Instruments* (TI) através do diretório SPRC097. Este diretório fornece ainda exemplos e documentação

A TI fornece todos os arquivos que mapeiam os registradores. Estes arquivos são do tipo *header* <.h>.

Os arquivos de inicialização dos periféricos do DSP são do tipo *source* <.c> e são fornecidos pela TI. Estes arquivos também encontram-se no diretório SPRC097.

## 4.2 – Conversor A/D

Os sinais de tensão (entrada e saída) e corrente (entrada) serão aplicados a três canais do conversor A/D [15] disponíveis no *kit* do DSP. Por isso compreender o funcionamento deste dispositivo é fundamental para realizar o controle do retificador.

O *kit* do DSP disponibiliza um conversor A/D de 12 *bits* com 16 canais, configurados como dois módulos independentes de 8 canais para atender os gerenciadores de eventos A e B (Seção 4.3). Os dois módulos independentes de 8 canais podem ser conectados em cascata para formar um único módulo de 16 canais. Embora haja 16 canais de entrada e dois sequenciadores, há somente um conversor A/D.

Os dois módulos de 8 canais têm capacidade de sequenciar automaticamente uma série de conversões, cada módulo tem a opção de selecionar qualquer um dos oito canais disponíveis utilizando um multiplexador analógico. No modo cascata, os sequenciadores 1 e 2 funcionam como um único sequenciador de 16 canais. Uma vez que a conversão está completa, o valor do canal selecionado é armazenado num registrador (*Resut Register*) específico a esse canal.

A Figura 4.5 apresenta o diagrama de blocos do conversor A/D [15].

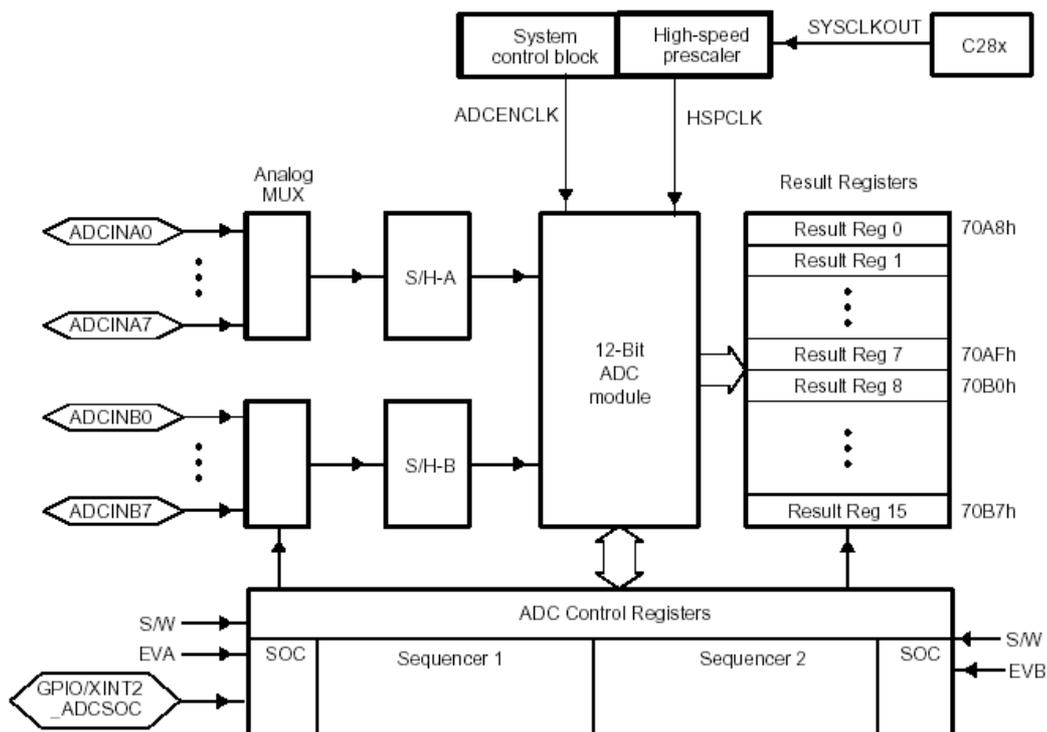


Figura 4.5: Diagrama de bloco do módulo do conversor A/D. Extraído do manual (TI spru060, Figura 1-1).

O conversor A/D pode operar em dois modos de amostragem: sequencial ou simultâneo. No modo sequencial os 16 canais são colocados em cascata e o A/D converte um canal por vez, começando pelo ADCINA0 até ADCINB7. No modo simultâneo é solicitada a conversão de um canal A e um canal B simultaneamente. O A/D converte o dado do canal A e logo em seguida converte o dado do canal B. O modo simultâneo converte um canal A e um canal B quase que simultaneamente.

O *buffer sample and hold* (S/H-A ou S/H-B) amostra o sinal, associado a um determinado canal de entrada, com o *offset* (ordem de conversão dos canais) fornecido pelos quatro *bits* CONVxy dos registradores CHSELSEQx (com valores de x de 1 a 4). O valor de x e y indica em que registrador de resultados (*Result Register*) o dado convertido pelo A/D será armazenado e o valor atribuído aos *bits* CONVxy determina qual canal do A/D armazenará dados no registrador de resultados xy, por exemplo, se CONV01 = 0x3, significa que os dados convertidos pelo canal 3 do A/D serão armazenados no registrador de resultados 1. O registrador ADCMAXCONV determina o número

máximo de conversões por sequência, por exemplo, se  $ADCMAXCONV = 0x3$ , indica que cada sequência de conversões inicia pelo canal do A/D associado aos *bits* CONV00 e termina no canal do A/D associado aos *bits* CONV03. Os registradores de controle do A/D (ADCTRLx, com valores de x de 1 a 3) definem a configuração que o conversor utiliza, e os valores convertidos são armazenados nos registradores de resultado (ADCRESULTn, com valores de n de 0 a 15). Após terminada uma sequência de conversões deve-se reiniciar o sequenciador para que o A/D continue convertendo dados. O reinício da sequência de conversões pode ser comandado: pelos gerenciadores de evento através do SOC (*start of conversion*), por *software*, ou de modo automático atribuindo valor 1 para o *bit* CONT\_RUN do registrador de controle ADCTRL1.

As configurações e comandos do A/D podem ser realizados por *software*, realizando escrita e leitura dos registradores relacionados ao A/D através do mapeamento de registradores realizado através do CCStudio

O A/D converte tensões de 0 a 3 V e o valor digital obtido é dado por:

$$\text{Valor Digital} = 4095 \times \frac{\text{Tensão de Entrada}}{3}. \quad (4.2.1)$$

O conversor A/D é de 12 *bits* e o registrador de resultados (*Result Register*) é de 16 *bits*. A tensão convertida pelo A/D é armazenado nos 12 *bits* mais significativos do registrador de resultado, então para obter o valor digital real é necessário realizar um deslocamento de 4 *bits* no registrador de resultado antes de qualquer operação.

### 4.3 – Gerenciadores de eventos

O kit do DSP disponibiliza dois gerenciadores de eventos (*Event Manager* – EV) idênticos, EVA e EVB, que fornecem diversas funções úteis em aplicações de controle [16]. O PWM é fornecido pelos gerenciadores de eventos. A Fig. 4.6 apresenta um diagrama simplificado da interface realizada pelos gerenciadores de eventos [16].

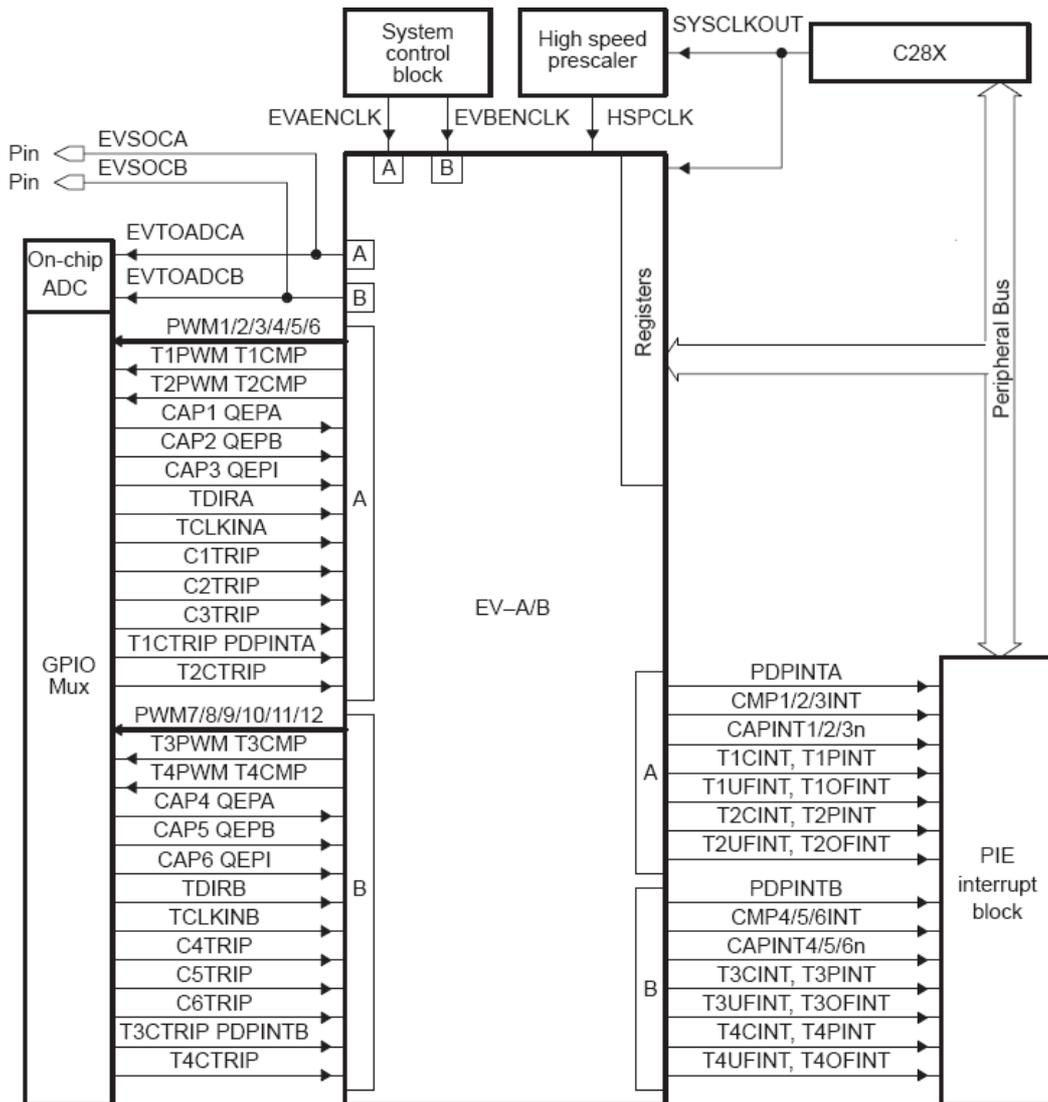
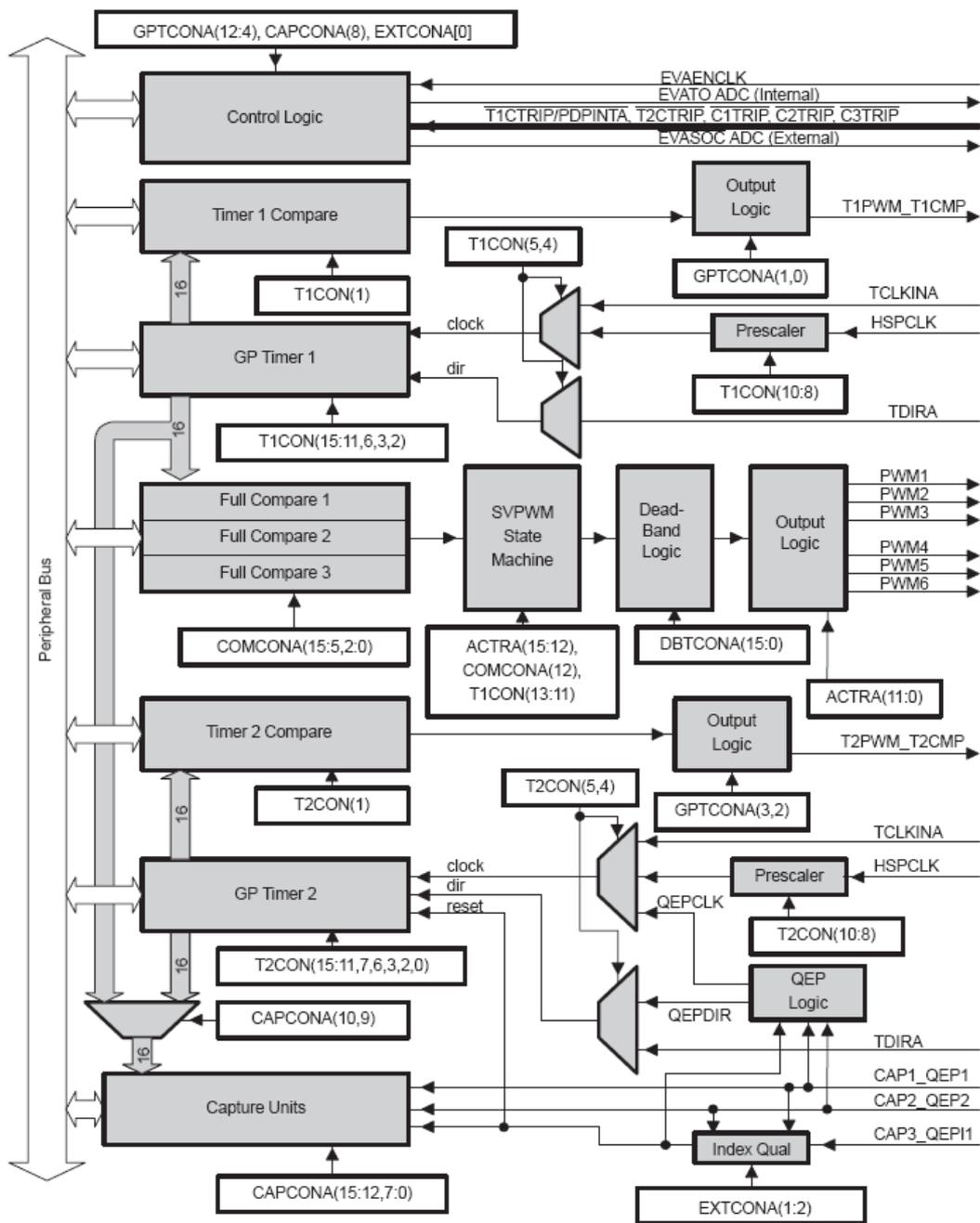


Figura 4.6: Interface realizada pelos gerenciadores de eventos. Extraído do manual (TI spru065, Figura 1-1).

Os gerenciadores de eventos (Fig. 4.7) atuam como interface para as entradas e saídas de uso geral (*General Purpose IO - GPIO*) e para as interrupções dos periféricos do DSP [16].



Obs.: O módulo EVB é similar ao módulo EVA

Figura 4.7: Diagrama de blocos do gerenciador de eventos. Extraído do manual (TI spru065, Figura 1-2).

As seções a seguir serão dedicadas às funções e características dos gerenciadores de eventos pertinentes a este projeto, saídas PWM e interrupções dos periféricos do DSP. Caso seja necessário, a referência [16] fornece outras informações sobre os gerenciadores de eventos.

### 4.3.1 – Modulador de largura de pulso (PWM)

Um sinal PWM é uma sequência de pulsos com largura variável. Os pulsos são gerados com períodos fixos (período do PWM), de modo que haja um pulso a cada período. A largura de pulso é determinada, ou modulada, de acordo com uma seqüência de valores desejados, o sinal de modulação. O sinal de modulação determina a duração do pulso no decorrer de cada período do PWM.

Cada gerenciador de eventos disponibiliza oito saídas PWM por intermédio de duas unidades de comparação distintas: *fullcompare* e *GP-timer compare* [16]. As unidades *fullcompare* fornecem três pares de saídas independentes (seis saídas) onde cada par fornece duas ondas PWM complementares, ou seja, enquanto uma saída está em nível alto, a outra (saída complementar) está em nível baixo. Para garantir que uma saída somente iniciará a transição para nível alto quando a saída complementar finalizar a transição para nível baixo, as unidades *fullcompare* permitem programar um intervalo de tempo morto (*deadband*) entre as transições de duas saídas complementares. Cada uma das três unidades *fullcompare*, juntamente com o temporizador de uso geral 1 (*GP timer 1*), no caso do EVA, ou o temporizador de uso geral 3 (*GP timer 3*), no caso do EVB, a unidade de intervalo de tempo morto (*deadband unit*) e a unidade lógica de saída (*output logic*); podem ser usadas para gerar um par de saídas PWM com polaridade e intervalo de tempo morto programável em dois pinos de saída do dispositivo. A unidade *GP-timer compare* fornece duas saídas independentes, semelhantemente às unidades *fullcompare*, mas não permite programação de intervalo de tempo morto.

Os dois IGBTs (retificador) nunca podem estar ativados simultaneamente, pois colocariam os capacitores  $C_1$  e  $C_2$  em curto-circuito. Para evitar este problema será utilizado, para gerar os sinais PWM, a unidade *fullcompare 1*; que permite programação de intervalo de tempo morto. As saídas utilizadas serão: PWM1 e PWM2.

A Fig. 4.8 apresenta o diagrama de blocos da geração dos sinais PWM através das unidades *fullcompare* [16].

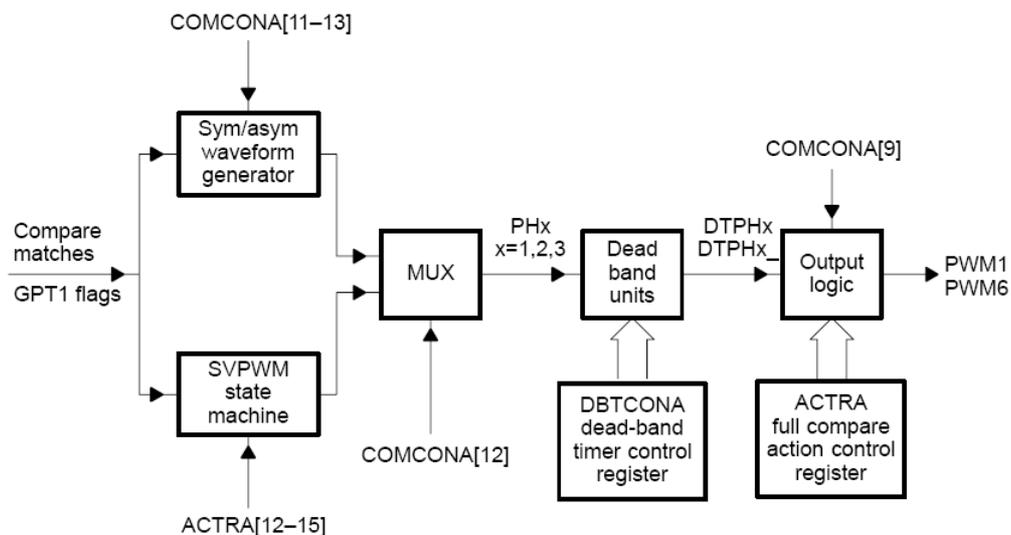


Figura 4.8: Diagrama de blocos do circuito PWM. Extraído do manual (TI spru065, Figura 2-1).

Para gerar um sinal PWM é necessário um temporizador (*timer*) para implementar um contador (*Counter Register* - T1CNT) que limite um período igual ao período do PWM. Sempre que a contagem é finalizada o contador é reiniciado imediatamente. O registrador de comparação (*Compare Register* - CMPR1) armazena o valor de modulação do pulso. Este valor é constantemente comparado com o valor do contador. Quando ocorre uma igualdade entre o valor do registrador de comparação e o valor do contador ocorre uma transição na saída PWM, do nível baixo para o nível alto ou do nível alto para o nível baixo. Quando ocorre uma segunda igualdade ou o período termina, outra transição ocorre, do nível alto para o nível baixo ou do nível baixo para o nível alto. Desta forma um pulso de saída é gerado com duração proporcional ao valor do registrador de comparação. Este processo é repetido a cada período do temporizador para diferentes valores (de modulação) do registrador de comparação.

A geração de PWM com as unidades de comparação e os circuitos associados são configurados pelos seguintes registradores: TxCON (*Timer Control Register*, onde:  $x = 1, 2, 3$  ou  $4$ ), COMCONy (*Capture Control Register*, onde  $y = A$  ou  $B$ ), ACTRy (*Action control register* – onde:  $y = A$  ou  $B$ ), e DBTCONy (*Dead-Band Timer Control Register*, onde:  $y = A$  ou  $B$ ).

### 4.3.2 – Interrupções

O TMS320F2812 suporta uma interrupção *nonmaskable* (*nonmaskable interrupt* - NMI) e 16 pedidos priorizados de interrupções *maskable* (INT1-INT14, RTOSINT, e DLOGINT) a nível do processador central [17]. O DSP tem muitos periféricos e cada um é capaz de gerar uma ou várias interrupções em resposta a diversos eventos. O processador central não tem capacidade suficiente para atender todos os pedidos de interrupção a nível do processador central, por isso existe um controlador de interrupções dedicado (*Peripheral Interrupt Controller* - PIE) para tratar os pedidos de interrupção de várias fontes tais como: periféricos e outros dispositivos através de pinos externos.

As interrupções são multiplexadas em conjuntos menores. O PIE suporta 96 interrupções individuais que são agrupadas em oito blocos. Cada bloco é associado a um entre 12 núcleos de interrupções (INT1 a INT12). Cada uma das 96 interrupções é implementada por um vetor próprio armazenado em um bloco dedicado na RAM que pode ser modificado. O processador central, ao invés de prestar serviços de manutenção a interrupções, busca automaticamente o vetor apropriado. Esta operação necessita de nove ciclos de *clock* (do processador central) para ser realizada. Consequentemente, eventos podem ser interrompidos rapidamente. A prioridade de cada interrupção é controlada por hardware e por *software*. Cada interrupção individual pode ser habilitada ou desabilitada através do PIE.

A sequência de operação para todas as interrupções do PIE é apresentada na Fig. 4.9 [17].

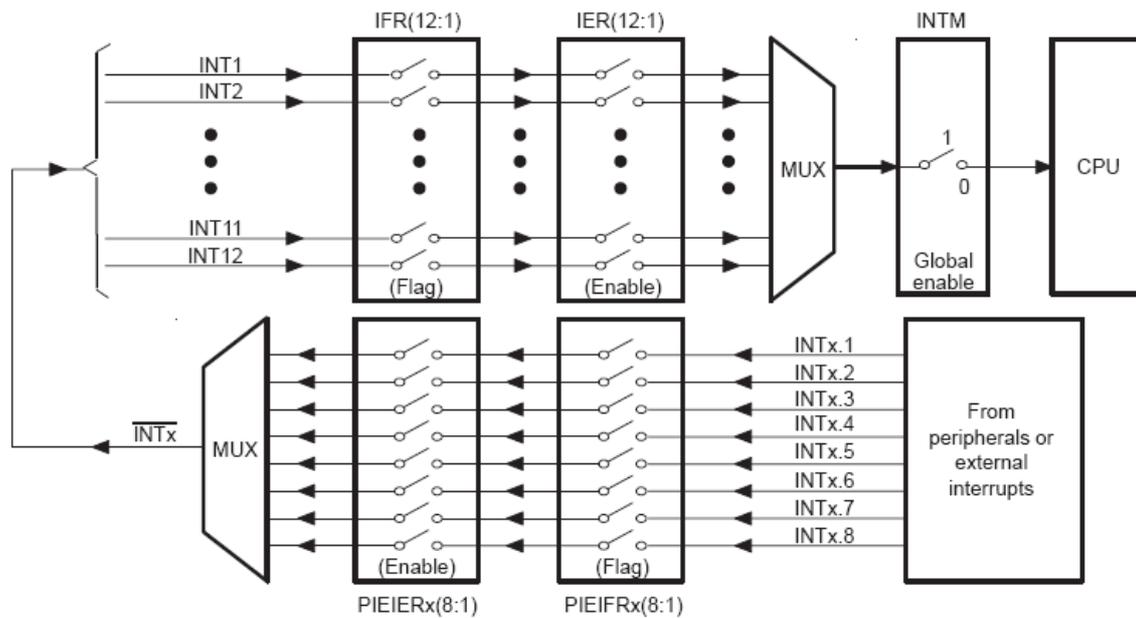


Figura 4.9: Interrupções multiplexadas através do PIE. Extraído do manual (TI spru078, Figura 6-1).

## **CAPÍTULO 5 – PROJETO DOS CIRCUITOS AUXILIARES**

O DSP TMS320F2812 não é preparado para ser conectado diretamente ao circuito de potência. É necessário que o terra analógico e o terra digital do DSP sejam isolados entre si e isolados do circuito de potência. Pois os níveis de corrente em cada um dos três terras são muito diferentes, por isso se forem ligados juntos, a corrente de um circuito prejudicará o resultado do outro, além da alta corrente no circuito de potência poder queimar o DSP. Será necessário também condicionadores de sinais para ajustar os níveis de tensão dos sinais de controle.

### **5.1 – Circuitos de interface do conversor A/D**

O conversor A/D não apresenta proteção interna e necessita estar isolado do circuito de potência para funcionar corretamente, e os sinais provenientes dos sensores precisam ser condicionados a faixa de tensão do A/D. Por isso foram projetados circuitos auxiliares para realizar a interface entre o circuito de potência e os canais de entrada do conversor A/D.

#### **5.1.1 – Circuito de proteção do conversor A/D**

Este projeto teve o objetivo de proteger o A/D contra tensões maiores que +3V ou menores que 0V, pois as entradas do conversor A/D do DSP TMS320F2812 não têm proteção interna. O diodo  $D_1$  e o resistor  $R_1$  impedem que tensões maiores que +5 V sejam aplicadas a entrada não-inversora do amplificador operacional (CA3140) e o diodo  $D_2$  e  $R_1$  impedem que tensões menores do que -0,7 V (tensão de polarização direta de  $D_2$ ) sejam aplicadas a entrada não-inversora do CA3140. Os capacitores  $C_1$  e  $C_2$  filtram possíveis oscilações na tensão de alimentação fornecida pelo DSP ( $V_{dsp}$ ). Foi decidido alimentar o CA3140 através do DSP para impedir que haja tensão na entrada do A/D enquanto o DSP estiver desligado, pois haveria risco de danificar o conversor A/D. Para garantir que a tensão na entrada do conversor A/D ( $V_{ad}$ ) não ultrapasse 3 V, o diodo Zener ( $D_3$ ) limita a tensão na entrada do A/D em 2,7 V. O circuito de proteção é apresentado na Fig. 5.1.

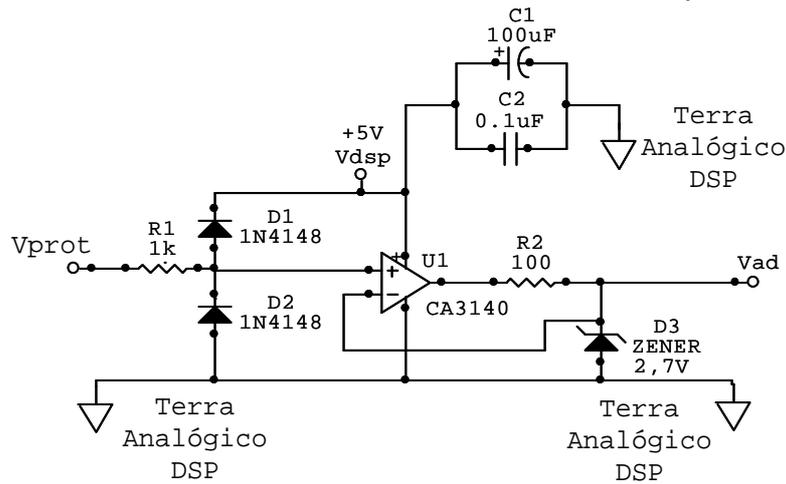


Figura 5.1: Circuito de proteção da entrada do conversor A/D.

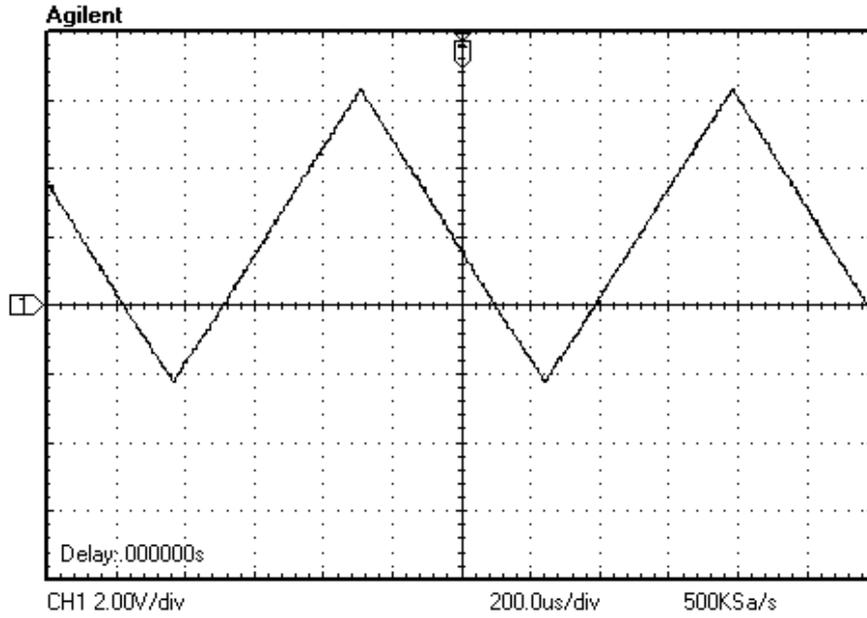
O terra indicado é *terra analógico* do DSP, que é utilizado como referência para as conversões realizadas pelo A/D. A corrente no *terra analógico* deve ser muito pequena para que as quedas de tensão nas conexões e na fiação do circuito do conversor A/D sejam minimizadas, garantindo assim, que o A/D funcione com precisão.

Todos os canais do A/D, utilizados neste projeto, são protegidos por um circuito como o da Fig. 5.1.

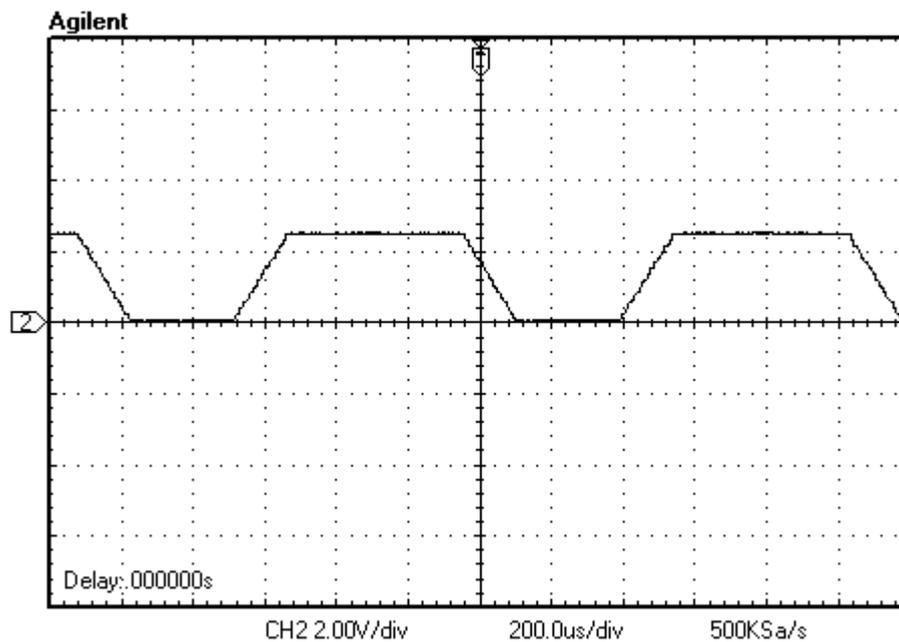
### 5.1.2 – Teste do circuito de proteção do conversor A/D

O teste do circuito de proteção do conversor A/D consiste em aplicar na entrada ( $V_{prot}$ ) do circuito da Fig. 5.1 um sinal triangular (Fig. 5.2.a) que tenha amplitude positiva (6 V) e frequência (1kHz) bem maior que os sinais que serão lidos pelo A/D. Além disso o sinal de entrada apresenta tensão negativa. Neste projeto serão aplicados, aos canais do conversor A/D, sinais entre 0 e 2 V e frequência de 60 Hz.

Este circuito reduz a faixa linear do sinal de entrada do A/D. A Fig. 5.2.a apresenta o sinal de entrada ( $V_{prot}$ ) e a Fig. 5.2.b apresenta o sinal de saída ( $V_{ad}$ ).



(a)



(b)

Figura 5.2: Teste do circuito de proteção do A/D; (a) Sinal de entrada ( $V_{prot}$ ), (b) Sinal de saída ( $V_{ad}$ ).

O circuito de proteção do A/D funcionou como esperado, bloqueou sinais maiores que 2,5 V e sinais negativos. Além disso, o circuito mostrou-se bem linear na faixa de 0 a 2 V como se observa na Fig. 5.2.b.

### 5.1.3 – Sensor de corrente e condicionador de sinais para a corrente de entrada

O sensor de corrente utilizado é o LA 25-NP que apresenta isolamento galvânico e converte o sinal de corrente para tensão com ganho de 167 mV/A. O isolamento galvânico garante o acoplamento de dois circuitos sem que haja transferência de elétrons de um para o outro. O sensor é alimentado por uma fonte isolada ( $V_{iso}$ ) de 15 V simétrico.

A faixa prevista para a corrente de entrada no retificador é de  $-3,6$  A a  $3,6$  A e a faixa de tensão correspondente fornecida pelo sensor é de  $-600$  mV a  $600$  mV. Portanto é necessário projetar um condicionador de sinais que converta a faixa de tensão fornecida pelo sensor para 0 a 2 V. O circuito apresentado na Fig. 5.3, soma ao sinal de saída do sensor de corrente a tensão  $V_1$  (1 V). A tensão de 1 V é fornecida por uma fonte de precisão disponível no laboratório que fornece no máximo 1,1 V. A faixa do sinal  $V_{sensor}$  é ajustada de modo compatível com a entrada do conversor A/D (0 a 2 V).

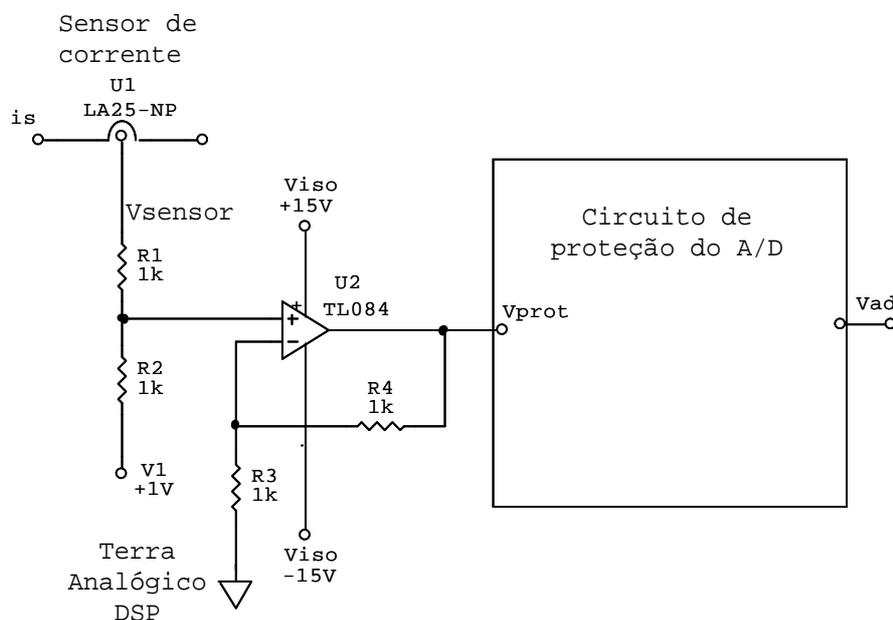


Figura 5.3: Condicionador de sinais para a corrente de entrada.

### 5.1.4 – Teste do condicionador de sinais para a corrente de entrada

O teste foi realizado aplicando-se na entrada do circuito condicionador de sinais da corrente uma tensão senoidal com amplitude de 600 mV e nível DC

nulo. A saída apresentou uma senóide sem defasagem em relação a entrada, com nível DC de 1 V e amplitude de 1 V, que é a faixa de sinais digitais do DSP (0 V a 2 V). A Fig. 5.4 apresenta o resultado do teste realizado no circuito condicionador de sinais para a corrente de entrada.

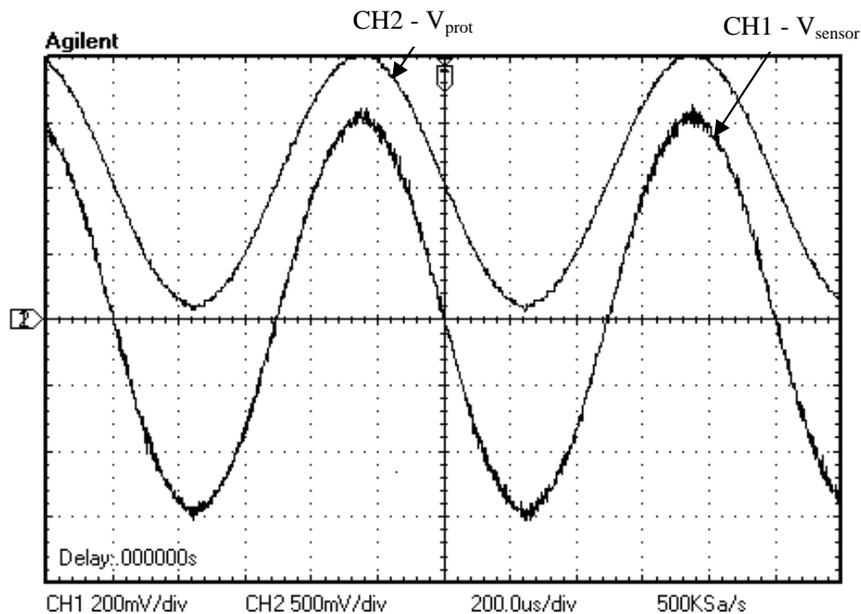


Figura 5.4: Resultado do teste realizado no circuito condicionador de sinais para a corrente de entrada.

### 5.1.5 – Circuito para detecção do cruzamento por zero da tensão de entrada

A referência senoidal para  $i_{s \text{ ref}}$  foi gerada por *software* (DSP) e o sincronismo com a rede elétrica foi obtido detectando-se o cruzamento da tensão de entrada ( $v_s$ ) por zero. Um transformador foi utilizado para reduzir a tensão  $v_s$  medida e isolar o DSP da rede elétrica. O circuito integrado utilizado na Fig. 5.3 disponibiliza quatro amplificadores operacionais, mas somente um foi usado. Por isso, apesar do TL084 ser um amplificador operacional este foi usado como comparador. Enquanto  $v_s$  for positiva, a saída do TL084 é + 15 V e enquanto  $v_s$  for negativa a saída é - 15 V. Um diodo e um divisor de tensão foram utilizados para adequar a saída do circuito para a faixa de sinais digitais do DSP (0 a 2 V). A Fig. 5.5 apresenta o circuito usado para detectar o cruzamento por zero da tensão  $v_s$ .

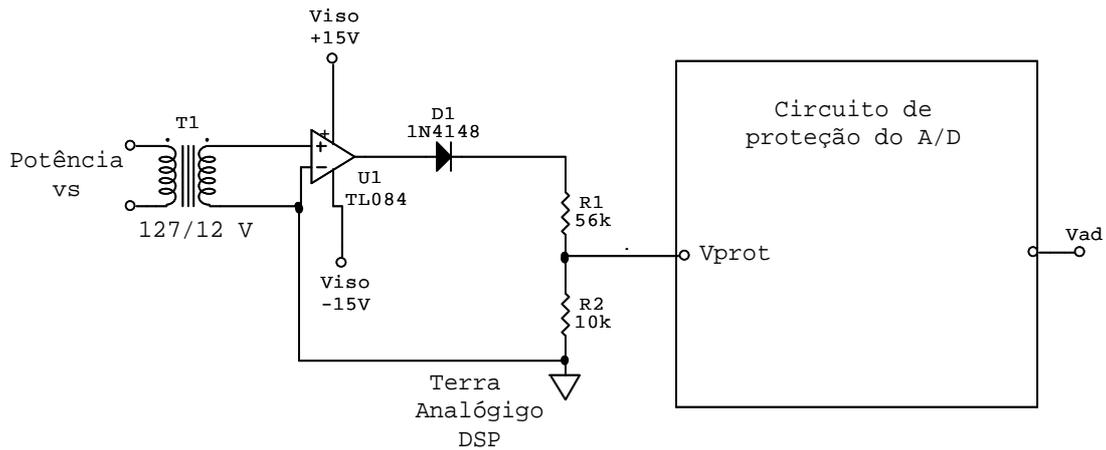


Figura 5.5: Detector do cruzamento por zero da tensão de entrada.

### 5.1.6 – Teste do circuito para detectar o cruzamento por zero da tensão de entrada

O teste foi realizado aplicando-se um sinal senoidal na entrada do circuito apresentado na Fig. 5.5. A saída apresentou uma onda retangular com bordas coincidentes com o zero do sinal senoidal. A Fig. 5.6 apresenta o resultado do teste.

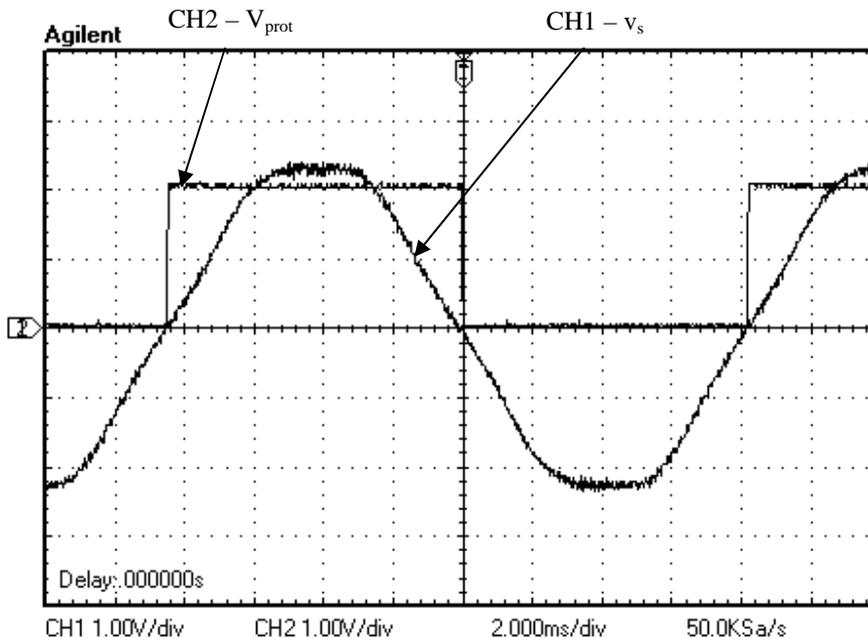


Figura 5.6: Resultado do teste realizado no circuito para detectar o cruzamento por zero da tensão de alimentação  $v_s$ .

O atraso gerado pelo transformador não prejudicou o controle, e caso fosse necessário, a fase da corrente de referência pode ser alterada facilmente por *software*. O circuito funcionou como esperado.

### 5.1.7 – Condicionador de sinais para a tensão de saída

A faixa prevista para a tensão de saída é de 0 a 100 V. Foi utilizado um divisor de tensão para adequar esta faixa para 0 a 2 V e o amplificador de isolamento ISO124 para isolar o DSP do circuito de potência. O terra de potência deve ser isolado do terra analógico do DSP, pois o nível de corrente presente no circuito de potência é muito maior do que no circuito do conversor A/D, por isso, haveria risco de prejudicar o funcionamento do A/D e danificar o DSP. A Fig. 5.7 apresenta o condicionador de sinais para a tensão de saída com isolamento.

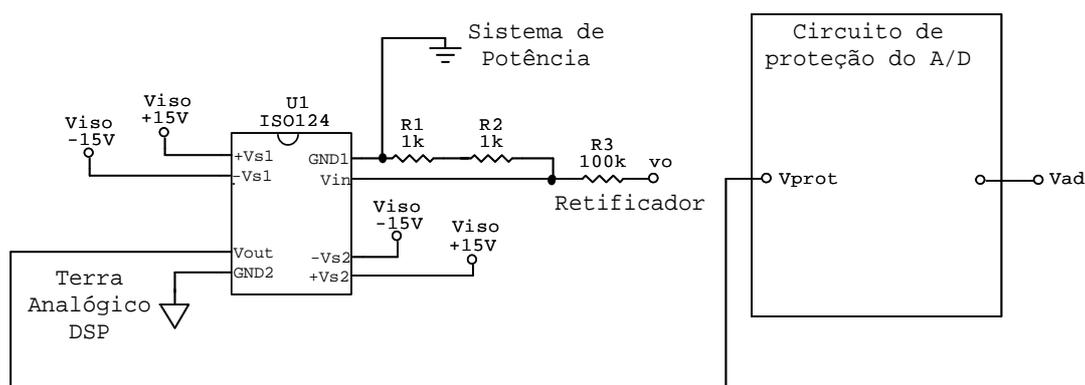
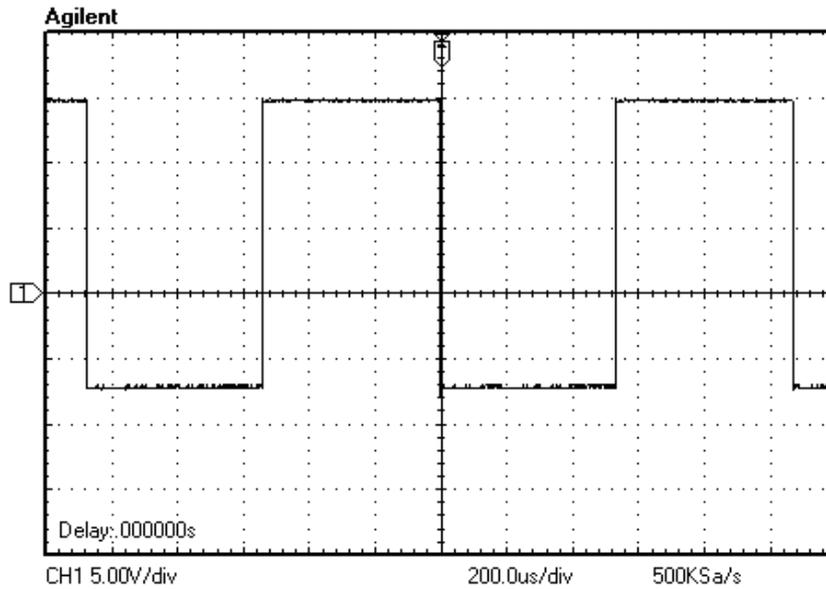


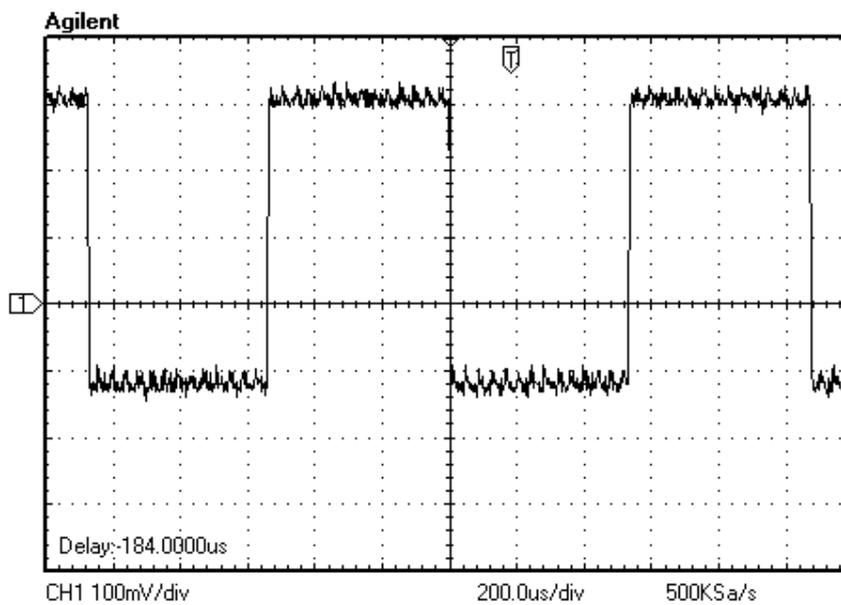
Figura 5.7: Condicionador de sinais para a tensão de saída.

### 5.1.8 – Teste do condicionador de sinais para a tensão de saída

O teste foi realizado aplicando-se na entrada do circuito da Fig. 5.7 uma onda retangular com amplitude maior de 15 V e amplitude menor de - 7,5 V como mostra a Fig. 5.8.a.



(a)



(b)

Figura 5.8: Resultado do teste realizado no circuito condicionador de sinais para medir a tensão de saída.

A saída reproduziu o sinal de entrada com atenuação de 50 vezes e não apresentou atraso (Fig. 5.8). O circuito funcionou corretamente.

## 5.2 – Circuito driver dos IGBTs

As saídas PWM do DSP fornecem níveis de tensão e corrente inadequados para acionar os *drivers* de potência dos IGBTs. Além disso, o terra digital do DSP e o circuito de potência precisam estar isolados devido à fragilidade dos circuitos do DSP. Por isso foi projetado um circuito capaz de isolar as saídas PWM do circuito de potência e adequar os níveis de tensão e corrente para acionar os IGBTs.

O circuito *driver* foi dividido em duas partes para facilitar a explicação: o circuito de isolamento e o circuito de acionamento.

### 5.2.1 – Circuito de isolamento das saídas PWM

Este circuito tem o objetivo de proteger a saída PWM do DSP TMS320F2812. O comparador CA339 apresenta alta impedância de entrada, por isso drena pouca corrente da saída PWM. O divisor de tensão composto por  $R_1$  e  $R_2$  determina a tensão de referência ( $V_r = 1,22 \text{ V}$ ) do comparador .

A saída do CA339 é do tipo coletor aberto e as tensões fornecida pelas saídas PWM ( $V_{pwm}$ ) estão na faixa de 0 a +2,5V. Se  $V_{pwm} = 0 \text{ V}$  ( $V_{pwm} < V_r$ ), o transistor de saída do CA339 satura e a tensão aplicada na entrada do acoplador óptico é 0 V. E se  $V_{pwm} = 2,5 \text{ V}$  ( $V_{pwm} > V_r$ ), o transistor de saída do CA339 corta e o resistor de *pull-up* ( $R_3$ ) fica em série com a entrada do acoplador óptico.

O acoplador óptico HCPL2630 isola as saídas PWM do circuito de potência. O HCPL2630 foi escolhido por apresenta velocidade de resposta suficiente para a frequência de chaveamento deste projeto (10 kHz). Este acoplador óptico não fornece tensão de saída suficiente para acionar o circuito de potência, além de inverter o sinal gerado pelo DSP. Por isso condicionar o nível de tensão na saída do acoplador óptico, foi projetado o circuito apresentado na Fig. 5.9. Este circuito tem por finalidade elevar a faixa de tensão dos pulsos PWM de 0 a 5 V para 0 a 15 V e inverter novamente o sinal.

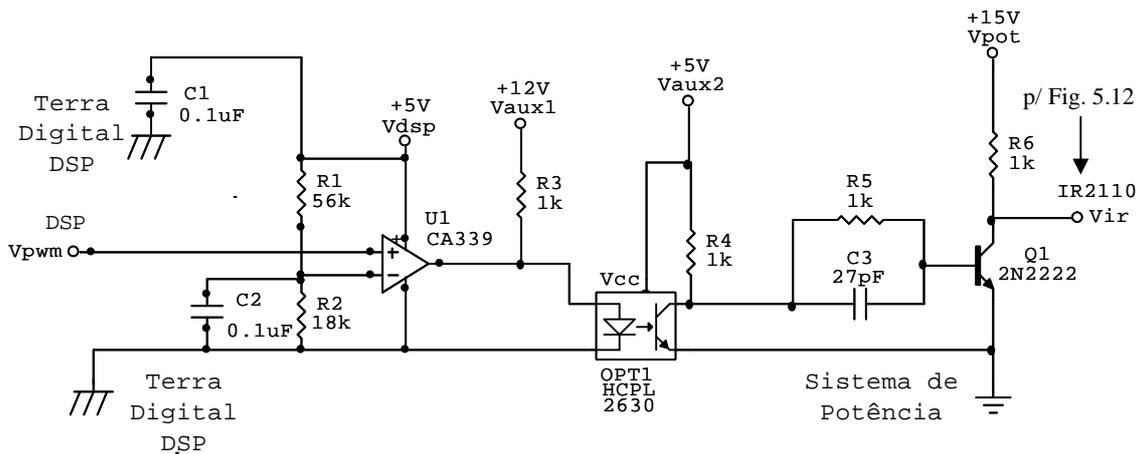


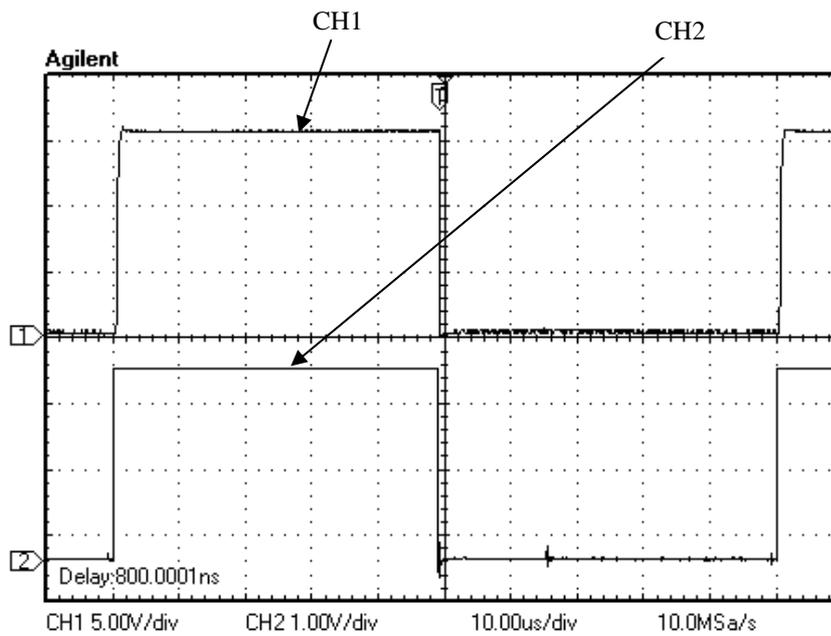
Figura 5.9: Circuito de isolamento das saídas PWM.

### 5.2.2 – Resultados experimentais do circuito de isolamento das saídas PWM

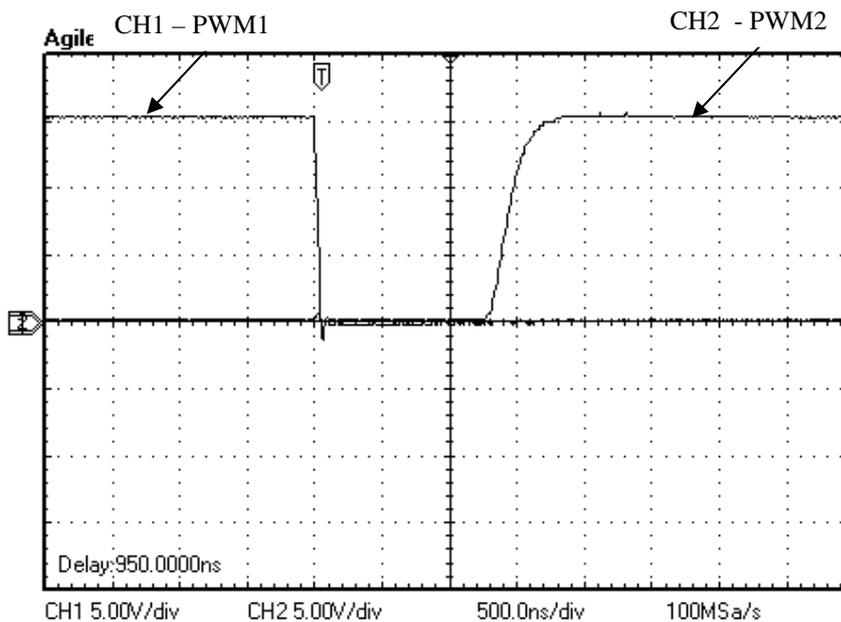
Este teste foi realizado para mostrar que o circuito de isolamento atende as especificações do projeto. O DSP foi configurado para gerar duas ondas moduladas por largura de pulso (PWM1 e PWM2) com frequência de 10 kHz e *duty cycle* de 50%.

A Fig. 5.10.a apresenta a saída PWM1 (CH2), gerada pelo DSP, aplicada a entrada do circuito de isolamento ( $V_{pwm}$ ) e a onda gerada (CH1) na saída do circuito de isolamento ( $V_{ir2110}$ ). Pode-se observar que o atraso é desprezível e que a onda de saída apresenta amplitude de 15 V.

A Fig. 5.10.b apresenta as ondas geradas pelas saídas PWM1 e PWM2 simultaneamente. O intervalo de tempo morto é de aproximadamente 1,25 μs e serve para garantir que uma chave seja acionada somente quando a outra estiver completamente desativada. O tempo de subida é aproximadamente 400 ns e o tempo de descida é aproximadamente 100 ns.



(a)



(b)

Figura 5.10: Resultado do teste realizado com os circuitos auxiliares das saídas PWM;  
 (a) Atraso propagado pelo circuito de isolamento (b) Intervalo de tempo morto  
 (*deadband*) entre as duas saídas PWM.

Conclui-se que o circuito de isolamento das saídas PWM atende as especificações do projeto

### 5.2.3 – Circuito de acionamento dos IGBTs

O IGBT  $S_2$  apresentado na Fig. 2.1 está com o terminal emissor flutuante, isto é, o emissor não está conectado ao terminal de referência (comum) do circuito. Por isso é necessário desenvolver um circuito de acionamento para este IGBT, uma vez que deve-se aplicar cerca de 15 V entre os terminais de *gate* e emissor para que o IGBT seja acionado.

Uma solução para acionar  $S_2$  é utilizar o circuito apresentado na Fig. 5.11 [6], em que o princípio de funcionamento denomina-se *charge pump*. O terminal “controle” é utilizado para ativar ou desativar o circuito. O capacitor  $C_1$  é carregado através da resistência  $R_L$  enquanto o optoacoplador estiver cortado, e quando o terminal “controle” for acionado (optoacoplador acionado), a tensão presente do capacitor  $C_1$  (15 V) será aplicada aos terminais de *gate* e emissor do IGBT. É importante que o IGBT seja frequentemente desativado durante um intervalo de tempo suficiente para que  $C_1$  seja carregado completamente pela fonte  $V_2$  (15 V), caso contrário o capacitor descarregará e o IGBT não poderá ser acionado.

Quando o terminal “controle” é acionado, a tensão  $V_1$  (400 V) é aplicada aos terminais de  $R_L$ . Para proteger a fonte  $V_2$  desta alta tensão (400 V), é necessário utilizar o diodo  $D_1$ , que deve ser dimensionado para suportar uma tensão reversa superior a 400 V e ser rápido o suficiente para se recuperar da polarização reversa para proporcionar a recarga do capacitor  $C_1$ .

A resistência  $R$  tem a função de realizar a descarga do capacitor parasita do IGBT.

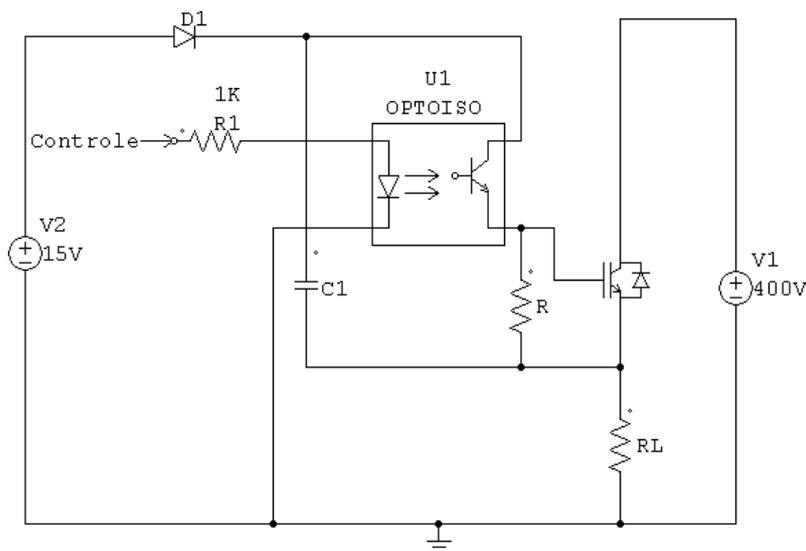


Figura 5.11: Possível técnica de acionamento de chaves flutuantes.

Para realizar esta tarefa foi escolhido o circuito integrado (CI) IR2110, que permite acionar as chaves  $S_1$  e  $S_2$  utilizando somente um CI.

### 5.2.3.1 – Circuito integrado IR2110

O IR2110 disponibiliza duas estradas independentes, HIN que controla a saída HO e LIN que controla a saída LO. O terminal SD é destinado à proteção do circuito. Se for aplicado um nível alto a este terminal, as saídas LO e HO ignoram os pulsos aplicados as entrada HIN e LIN.

As duas saídas podem ser usadas para acionar dispositivos com o mesmo referencial ou utilizar o circuito de *charge pump* para acionar uma chave com o terminal emissor flutuante.

Neste trabalho  $S_1$  está com o emissor conectado a referencia do circuito e  $S_2$  está com o emissor flutuante. A chave  $S_2$  será acionada através da saída HO utilizando o circuito de *charge pump* e a chave  $S_1$  será acionada através da saída LO. Os componentes  $R_{10}$ ,  $D_3$ ,  $R_{11}$  e  $D_4$  têm a função de reduzir o *turn-off* e aumentar o *turn-on* dos IGBTs, criando uma espécie de tempo morto adicional (segurança).

O diodo  $D_5$  e o capacitor  $C_7$  (Fig. 5.12) têm a mesma função do diodo  $D_1$  e do capacitor  $C_1$  apresentados na Fig. 5.11.

O diodo D<sub>5</sub> escolhido foi o 60EPF, que suporta alta tensão reversa e é do tipo *fast recovery*.

A Fig. 5.12 apresenta o circuito de acionamento das chaves utilizado neste trabalho [6].

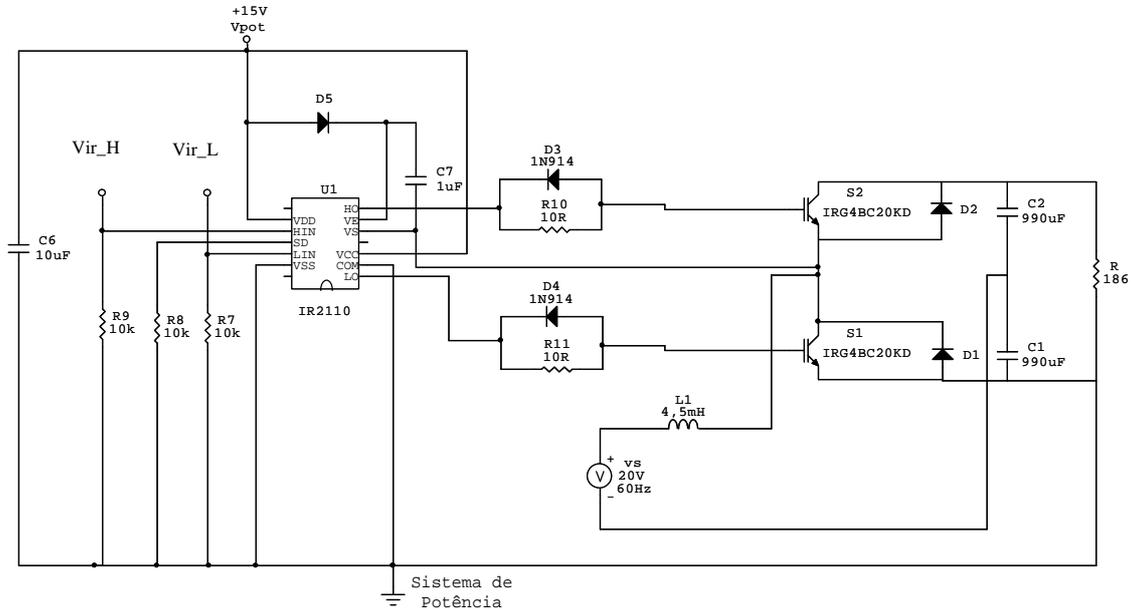


Figura 5.12: Circuito de acionamento completo para as chaves.

Como o retificador e o circuito apresentado na Fig. 5.12 foram soldados na mesma placa [6], a realização dos testes tornou-se complicada com o controle das chaves desativado. Por isso a verificação do funcionamento do circuito foi realizada utilizando os testes realizados no projeto de graduação [6].

No projeto de graduação [6] foram realizados dois testes com o CI IR2110. No primeiro teste, foi aplicada em cada entrada do IR2110 (terminais LIN e HIN), uma onda quadrada (0 V a 15 V) com frequência de 60 kHz, que é maior que a frequência de chaveamento utilizada neste projeto (10 kHz). Esta frequência garantiu que o circuito mostrado na Fig. 5.12 não tivesse problemas com atraso e que os pulsos aplicados às entradas são transmitidos as chaves S1 e S2 com eficiência.

No segundo teste foi verificado o acionamento do canal flutuante, em relação ao potencial de referência do circuito. Verificou-se também a importância do capacitor C<sub>7</sub> e do diodo D<sub>5</sub>.

Os testes mostraram que o circuito da Fig. 5.12 satisfaz as condições de acionamento.

## CAPÍTULO 6 – CONTROLE DO RETIFICADOR UTILIZANDO O PROCESSADOR DIGITAL DE SINAIS

Nas Seções 3.3 e 3.5, os controladores foram projetados em tempo contínuo e para faixa de valores em escala diferente do DSP. Por isso, para desenvolver o *software* de controle do processador digital de sinais, será necessário ajustar os parâmetros dos controladores de corrente e tensão. Este capítulo dedica-se a descrever os ajustes dos controladores e apresentar o *software* de controle do DSP.

A Fig. 6.1 apresenta o diagrama de blocos do sistema de controle do retificador utilizando o DSP.

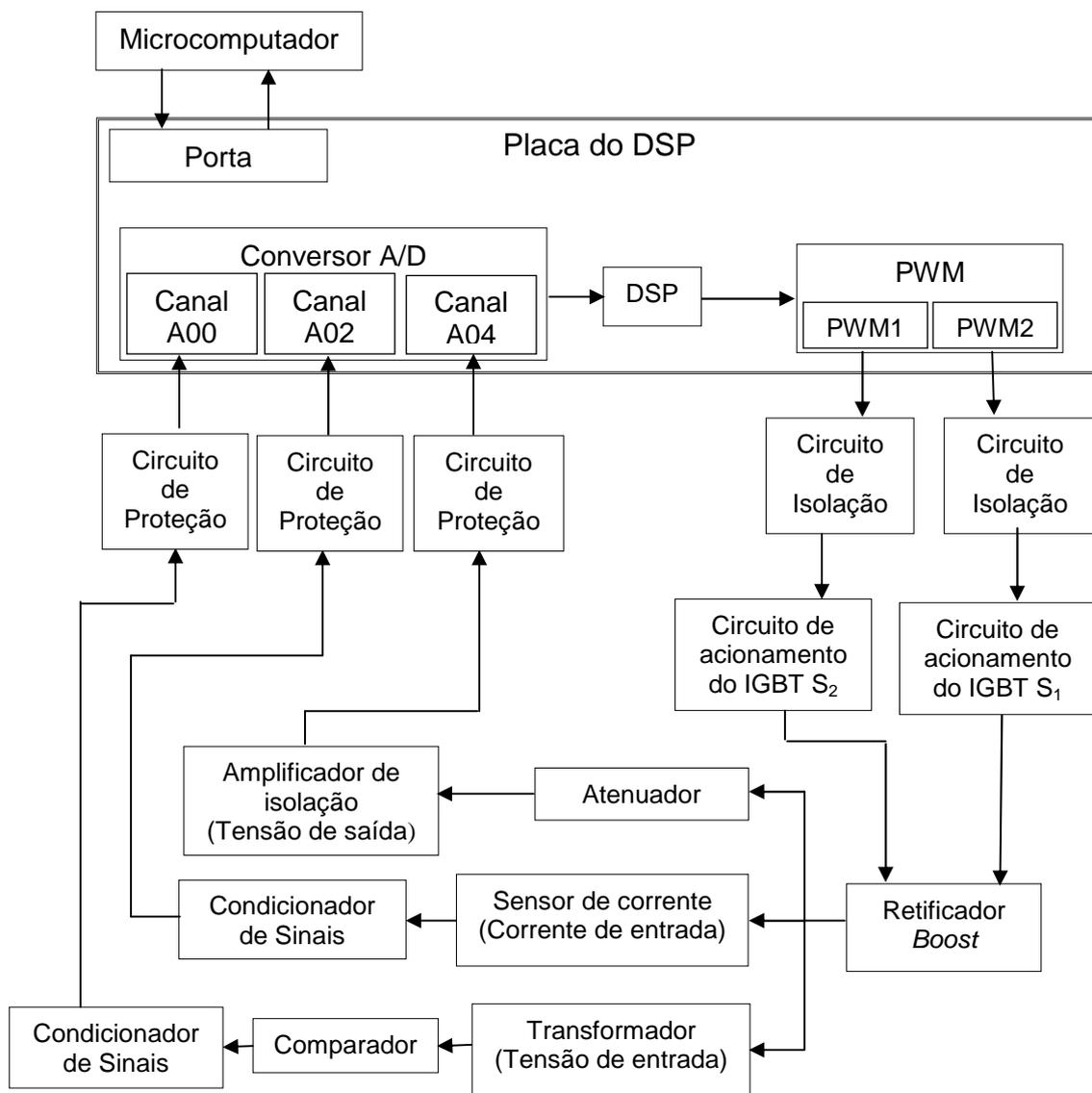


Figura 6.1: Diagrama de blocos do sistema de controle utilizando o DSP.

## 6.1 – Implementação dos controladores para o Processador Digital de Sinais

Os controladores foram projetados em tempo contínuo e considerando os valores reais das grandezas envolvidas. Para realizar o controle utilizando o processador digital de sinais é necessário considerar o intervalo de amostragem e a escala em que cada grandeza é tratada.

O conversor A/D é de 12 bits, portanto os valores convertidos são fornecidos ao DSP na faixa de 0 a 4095 (0 a 3 V). Mas o circuito de proteção do A/D apresenta boa linearidade entre 0 e 2 V, por isso é necessário reduzir a faixa de valores digitais para 0 a 2730.

O A/D realiza, dentro da faixa linear (0 a 2730), conversões da corrente de entrada na faixa de -3,6 A à 3,6 A (canal 02) e da tensão de saída na faixa de 0 V a 100 V (canal 04). O canal 00 do conversor A/D é utilizado para medir uma onda retangular (0 a 2 V) que marca o cruzamento por zero de da tensão de entrada ( $v_s$ ). A amplitude de 2 V (2730 em valo digital) indica o semi-ciclo positivo de  $v_s$  e a amplitude 0 V (0 em valor digital) indica o semi-ciclo negativo de  $v_s$ . A senóide de referência usada para controlar  $i_s$  é fornecida pela função  $\sin()$  disponível no *Code Composer Studio* através da biblioteca *math*.

A faixa de valores para o *duty cycle* (D) do PWM considerada no cap. 3 é de 0 a 1 (0% a 100%), e a faixa de valores digitais para o DSP, na frequência de 10 kHz, é entre 0 e 14992 (0% a 100%).

O controlador da corrente é proporcional, então basta converter a escala de  $K_i$ . A faixa de valores da corrente aumentou em aproximadamente 379 vezes (de -3,6 a +3,6 para -1365 a +1365) e a faixa de valores do *duty cycle* aumentou em 14992 vezes (de 0 a 1 para 0 a 14992). Multiplicando ambos os lados da eq. (3.6) por 379 e 14992, obtém-se:

$$D \times 379 \times 14992 = 379 \times 14992 \times e_i \times K_i$$

$$D_h = e_{i_h} \times K_i \times \frac{14992}{379}$$

$$D_h = e_{i\_h} \times K_{i\_h} \quad (6.1.1)$$

$$K_{i\_h} = \frac{14992}{379} \times K_i = \frac{14992}{379} \times 15 \cong 593$$

Onde:

$D_h$  – é o *duty cycle* ajustado a escala do DSP

$e_{i\_h}$  – é o erro de corrente ajustado a escala do DSP

$K_{i\_h}$  – é ganho de corrente ajustado a escala do DSP

O ganho de corrente ( $K_{i\_h}$ ) teve que ser reajustado experimentalmente, pois o controle é realizado em tempo discreto, o que pode gerar instabilidade se o ganho for muito alto. Além disso, o sistema apresenta limitações físicas que não foram consideradas na simulação.

O valor do ganho de corrente ( $K_{i\_h}$ ) que forneceu melhor desempenho para o controle foi:

$$K_{i\_h} = 50 \quad (6.1.2)$$

O controlador da tensão é proporcional-integral, portanto é importante considerar o intervalo de amostragem ( $h$ ). Para evitar grandes oscilações na amplitude da corrente de referência, o controle será aplicado a tensão média de saída ( $V_o$ ). A tensão média é atualizada a cada período de  $v_s$  (60 Hz). Então o intervalo de amostragem para  $V_o$  é de 16,7 ms.

Aplicando a transformada de Laplace inversa na eq. (3.5.2) obtém-se o controlado PI no domínio do tempo:

$$G_v(t) = K_v \left( 1 + a \times \int dt \right). \quad (6.1.3)$$

A amplitude da corrente de referência ( $I_{ref}$ ) no domínio do tempo é:

$$I_{ref}(t) = G_v(t) \times e_v(t) . \quad (6.1.4)$$

Substituindo a eq. (6.1.3) na eq. (6.1.4):

$$I_{ref}(t) = K_v \left( e_v(t) + a \int e_v(t) \times dt \right) . \quad (6.1.5)$$

Escrevendo a eq. (6.1.5) no tempo discreto, obtém-se:

$$I_{ref}(kh) = K_v \left( e_v(kh) + a \text{Integral}(kh) \right) , \quad (6.1.6)$$

onde a integral é calculada de modo recursivo:

$$\text{Integral}(kh) = \text{Integral}[(k-1)h] + e_v h .$$

Apesar do *CCStudio* disponibilizar variáveis do tipo ponto flutuante, prefere-se usar ponto fixo para poupar tempo de processamento. As variáveis que acumulam valores ou que são utilizadas em operações de multiplicação são declaradas como inteiros de 32 bits, para proporcionar uma faixa de valores mais ampla, compreendidos entre -2.147.483.648 e 2.147.483.647. Já as variáveis de valores fixos são definidas como inteiros de 16 bits (faixa de valores entre -32.768 e 32.767).

O valor de h, em ponto flutuante, é 16,7 ms. Para não haver perda de precisão, o valor utilizado para o intervalo de amostragem (h), em ponto fixo, foi:

$$h = 167$$

Isto significa que o valor da integral no tempo discreto será  $10^4$  vezes maior do que o valor real. É necessário dividir a integral por  $10^4$  para não alterar o valor real de  $I_{ref}$ .

O valor de  $K_v$ , em ponto flutuante, pode ser aproximado para  $3 \times 10^{-5}$ . O valor utilizado para o ganho de tensão, em ponto fixo ( $K_{v\_f}$ ), foi:

$$K_{v\_f} = 3$$

Isto significa que o valor de  $I_{ref}$  será  $10^5$  vezes maior do que o valor real. É necessário dividir  $I_{ref}$  por  $10^5$ . A eq. (6.1.6) implementada em ponto fixo é apresentada na eq. (6.1.7).

$$I_{ref}(kh) = \frac{K_{v-f}}{10^9} (10^4 e_v(kh) + a \text{Integral}(kh)) \quad (6.1.7)$$

O valor de 'a' calculado no cap. 3 pode ser aproximado para 11. Desse modo, o valor de 'a', em ponto fixo, foi mantido o mesmo:

$$a = 11$$

A faixa de valores para a corrente de entrada está entre -3,6 A e 3,6 A e a faixa de valores digitais para  $I_{ref}$  está entre -1365 e 1365. Isso significa que a eq. (6.1.7) deve ser multiplicada por 379.

$$I_{ref}(kh) = \frac{379 \times K_{v-f}}{10^9} (10^4 e_v(kh) + a \text{Integral}(kh)) \quad (6.1.8)$$

Assim, o ganho de tensão ajustado a escala do DSP ( $K_{v-h}$ ) seria:

$$K_{v-h} = \frac{379 \times K_{v-f}}{10^9} \quad (6.1.9)$$

$$K_{v-h} = \frac{379 \times 3}{10^9} = \frac{1365}{10^9} \quad (6.1.10)$$

Para evitar problemas com *overflow* e *underflow*, a eq. (6.1.10) foi aproximada para:

$$K_{v-h} = \frac{1}{10^6} \quad (6.1.11)$$

Para poupar tempo de processamento, divisões são realizadas por deslocamento de *bits*. Portanto, a corrente de referência é reescrita da seguinte forma:

$$I_{ref}(kh) = \frac{K_{v-h}}{2^{20}} (10^4 \times e_v(kh) + a \text{Integral}(kh)) \quad (6.1.12)$$

e o valor do ganho de tensão é:

$$K_{v-h} = 1$$

Para melhorar o desempenho do controle, o valor de 'a' e o ganho de  $I_{ref}$  foram ajustados experimentalmente. Assim o controle da tensão tornou-se mais lento e a faixa de estabilidade do controle da corrente aumentou.

$$a_h = 630$$

$$I_{ref}(kh) = \frac{K_{v-h}}{2^{21}} (10^4 \times e_v(kh) + a_h \text{Integral}(kh)) \quad (6.1.13)$$

## 6.2 – Software de controle

Para executar o *software* de controle através do CCStudio, é necessário criar um novo projeto. O projeto é organizado em diretórios destinados a cada tipo de arquivo. O *software* desenvolvido neste trabalho (código fonte) utiliza funções que são definidas em arquivos fornecidos pela *Texas Instruments* (TI). Estas funções inicializam os periféricos que compõem o *kit* do DSP. Além disso, variáveis são declaradas e parâmetros são definidos para que o *kit* funcione corretamente. Estes arquivos são fornecidos pelo TI [14] e estão no formato <.c> (código escrito em C – *source code*) e <.asm> (código escrito em *Assembly*).

Para acessar os registradores do DSP utilizando linguagem C, é necessário mapear os registradores através de estruturas (Seção 4.1.1). Os

arquivos que declaram estas estruturas estão no formato <.h> (Arquivos de leitura escrito em C – *header file*) e também são fornecidos pela TI [14].

Cada uma dessas estruturas em C é atribuída a uma seção de dados. Os arquivos no formato <.cmd> (*linker*) são usados para mapear cada uma das seções diretamente aos registradores mapeados na memória através das estruturas (Seção 4.1.1). Estes arquivos também são fornecidos pela TI [14].

A Tabela 6.1 apresenta a relação dos arquivos que compõem o projeto criado no CCStudio.

Tabela 6.1: Relação de Arquivos que compõem o projeto.

<b>Sorce Code</b>	<b>Header File</b>
Controle_Retificador_Boost.c	DSP281x_Ev.h
DSP281x_Adc.c	DSP281x_Examples.h
DSP281x_DefaultIsr.c	DSP281x_GlobalPrototypes.h
DSP281x_GlobalVariableDefs.c	DSP281x_Gpio.h
DSP281x_PieCtrl.c	DSP281x_Mcbsp.h
DSP281x_PieVect.c	DSP281x_PieCtrl.h
DSP281x_SysCtrl.c	DSP281x_PieVect.h
	DSP281x_Sci.h
<b>Assembly</b>	DSP281x_Spi.h
DSP281x_CodeStartBranch.asm	DSP281x_SWPrioritizedIsrLevels.h
DSP281x_usDelay.asm	DSP281x_SysCtrl.h
	DSP281x_Xintf.h
<b>Linker</b>	DSP281x_XIntrupt.h
DSP281x_Headers_nonBIOS.cmd	math.h
F2812_EzDSP_RAM_Ink.cmd	DSP281x_Adc.h
	DSP281x_CpuTimers.h
	DSP281x_DefaultIsr.h
	DSP281x_DevEmu.h
	DSP281x_Device.h
	DSP281x_ECan.h

O código fonte (Controle\_Retificador\_Boost.c) é apresentado no apêndice D e é dividido basicamente em 6 rotinas: configuracao\_ad, configuracao\_pwm, adc\_isr, eva\_timer1\_isr, eva\_timer2\_isr e main.

A função “configuracao\_ad” configura o A/D para converter três canais (A00, A02, A04), funcionar no modo sequencial e no modo cascata, e permitir

interrupções periódicas. A escolha dos canais, de modo não sequencial, foi no intuito de reduzir o ruído entre eles.

A função “configuracao\_pwm” configura o gerenciador de eventos para disponibilizar duas saídas PWM complementares (PWM1 e PWM 2) com intervalo de tempo morto (*deadband*) de 1,25  $\mu$ s, com frequência de 10 kHz e com interrupções periódicas para os temporizadores 1 e 2. O A/D é reiniciado no período de interrupção do temporizador 1.

As interrupções pertinentes ao conversor A/D são remapeadas para a rotina de interrupção “adc\_isr”, que é responsável por reconhecer a interrupção para o controlador de interrupções (PIE).

A rotina de interrupção “eva\_timer1\_isr”, além de remapear as interrupções pertinentes ao temporizador 1 do gerenciador de eventos A, executa o trecho de código que realiza os cálculos fundamentais para controlar o retificador. A rotina “eva\_timer1\_isr” é mostrada na tabela 6.2:

Tabela 6.2: Rotina de interrupção “eva\_timer1\_isr”.

```
interrupt void eva_timer1_isr(void)
{
    // EvaTimer1InterruptCount++;

    /* Valores digitais da corrente de entrada e da tensão
    de saída filtrados */
    is = (A02 >> 6);
    Vo = (A04 >> 6);

    //Controle PI utilizando a tensão média de saída
    if (z == 0)
    {
        Vo_M = Vo_s/u;
        ev = (V_ref - Vo_M);
        integ_v = integ_v + ev*h_60;
        I_ref = ((kv*(10000*ev + a*integ_v))>>21);
        Vo_s = 0;
    }

    //Limitador para a corrente de referência
    If (I_ref > 1600) I_ref = 1600;
    If (I_ref < 0) I_ref = 0;

    is_ref = (I_ref)*(sin(w*t));
    ei = is_ref - (is - 1400);

    D = - (ki*ei) + 7496;

    // Limitador para o duty cycle do PWM
    if (D > Ls_D)
```

```

{
D = Ls_D;
}

if (D < Li_D)
{
D = Li_D;
}

EvaRegs.CMPR1 = D; // Registrador de comparação do temporizador 1

A02 = 0;
A04 = 0;
y = 0;

Vo_s = Vo_s + Vo;
z++;

EvaRegs.EVAIMRA.bit.T1PINT = 1;

EvaRegs.EVAIFRA.all = BIT7;

PieCtrlRegs.PIEACK.all = PIEACK_GROUP2;
}

```

Nesta rotina são obtidos os valores digitais de “is” e “Vo” filtrados. A tensão de saída (“Vo”) é acumulada em “Vo\_s” durante um período de aproximadamente 16,7 ms (60 Hz) e posteriormente é obtida a tensão média de saída (“Vo\_M”), dividindo “Vo\_s” pelo número de valores acumulados (u). A tensão de referência (“V\_ref”) é subtraída da tensão média (“Vo\_M”) para obter o erro de tensão (“ev”). A amplitude da corrente de referência (“I\_ref”) é calculada aplicando a eq. (6.1.3) e a corrente de referência (“is\_ref”) é calculada pelo produto de “Is\_ref” pela função seno (sin()). A função seno é sincronizada com a rede elétrica através da variável “t”, que é tratada na rotina de interrupção do temporizador 2 (Tabela 6.3). A variável “t” é incrementada de uma unidade a cada período do PWM e é reiniciada sempre que a tensão de entrada cruza o valor zero no sentido positivo. O erro de corrente (ei) é calculado subtraindo “is\_ref” de “is” e o *duty cycle* do PWM (“D”) é obtido aplicando-se a eq. (6.1.1).

Ao se utilizar a tensão média de saída para calcular “I\_ref” melhorou-se o desempenho do controle, pois o valor de “I\_ref” é atualizado somente uma vez a cada 16,7 ms, quando “z” for igual a zero. A variável “z” é tratada na rotina de interrupção do temporizador 2 (Tabela 6.3).

A rotina de interrupção “eva\_timer2\_isr”, tem a função de remapear as interrupções pertinentes ao temporizador 2 do gerenciador de eventos A. Além disso, é implementado o filtro digital, necessário para melhorar a precisão dos valores convertido no A/D (Tabela 6.3). Foram acumuladas 64 conversões, nas variáveis “A02” (canal 02) e “A04” (canal 04), e em seguida (na rotina “eva\_timer1\_isr”) foram calculadas as médias (“is” e “Vo”). A variável “A02” acumula os valores convertidos do sensor de corrente (corrente de entrada do retificador) e a variável “A04” acumula os valores convertido do amplificador de isolamento (tensão de saída do retificador). A divisão por 64 é feita deslocando-se 6 *bits* à direita do resultado, que corresponde à  $2^6$  (=64) [9]. Não é necessário calcular média para os valores convertidos no canal 00, pois este canal é utilizado somente para marcar o cruzamento por zero da tensão de entrada. O registrador de resultados “ADCRESULT0”, deslocado 4 *bits* para a direita, recebe valor 0 (0 V) quando  $v_s$  está no semi-ciclo negativo e valor 2730 (2 V) quando  $v_s$  está no semi-ciclo positivo. A cada execução da rotina “eva\_timer2\_isr” a variável “x” e o valor contido no “ADCRESULT0” são testados de modo a verificar quando  $v_s$  cruza o zero no sentido positivo, para que através da variável t, a função sin() fique sincronizada com a rede elétrica.

Tabela 6.3: Rotina de interrupção “eva\_timer2\_isr”.

```

interrupt void eva_timer2_isr(void)
{
    //EvaTimer2InterruptCount++;

    /* Filtro digital. Realiza a média de 64 conversões do A/D para
    cada canal*/
    if (y<64)
    {
        A02 = (AdcRegs.ADCRESULT1 >>4) + A02;
        A04 = (AdcRegs.ADCRESULT2 >>4) + A04;
        y++;

        /*Identifica o instante em que vs cruza o zero e é
    crescente*/
        if(y==63)
        {
            if(((AdcRegs.ADCRESULT0 >>4) > 1300) && (x == 1))
            {
                x = 0;
                t=0;
                u = z;
                z = 0;
            }
        }
    }
}

```

```

        if(((AdcRegs.ADCRESULT0 >>4) < 1300) && (x == 0))
        {
            x=1;
        }
        t++;
    }

    /*Reinicia a sequência de conversões do A/D para a próxima
    sequência*/

    AdcRegs.ADCTRL2.bit.RST_SEQ1 = 1;
    AdcRegs.ADCST.bit.INT_SEQ1_CLR = 1;

    EvaRegs.EVAIMRB.bit.T2PINT = 1;

    EvaRegs.EVAIFRB.all = BIT0;

    PieCtrlRegs.PIEACK.all = PIEACK_GROUP3;
}

```

A função principal (“main”), é utilizada para declarar e inicializar as variáveis globais e executar as funções de inicialização dos periféricos, as funções de configuração e as rotinas de interrupção. A função “main” é responsável por manter o programa executando indefinidamente até que o programador interrompa a execução.

## CAPÍTULO 7 – RESULTADOS EXPERIMENTAIS

O Apêndice B apresenta o circuito completo, que é composto pelo *kit* do DSP, o retificador, e os circuitos auxiliares descritos no Cap. 5. Este diagrama elétrico apresenta o circuito completo do protótipo montado em bancada, com o qual foi possível a realização de experimentos para validar os conceitos e propostas ditas neste trabalho.

Para efeito de comparação, foi montado um protótipo, cuja fotografia pode ser vista na Fig. 7.1.

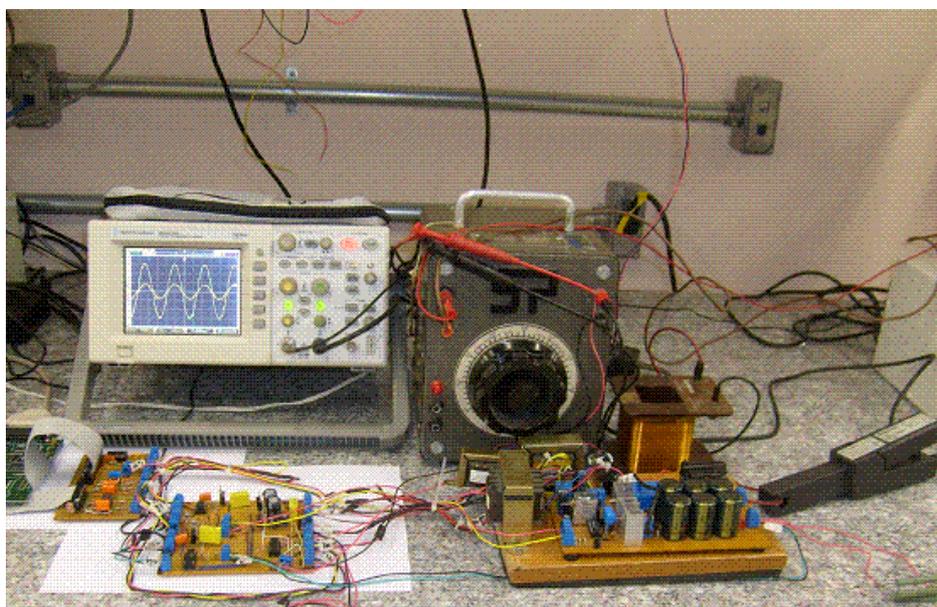


Figura. 7.1: Protótipo experimental do conversor *Boost* com controle do fator de potência utilizando o DSP TMS320F2812.

### 7.1 – Resultados experimentais com o controle desativado

Para que o controle do sistema seja estável e apresente bons resultados, verificou-se a necessidade de aumentar o valor da indutância de entrada. Foi adicionada à entrada do retificador, em série com o indutor que havia no circuito, uma indutância ( $L_n$ ) de 11 mH com resistência interna ( $r_n$ ) de 2,5  $\Omega$ . Os novos valores de  $L$  e  $r$  são obtidos calculando a indutância e a resistência equivalente entre o novo indutor e o indutor anterior. A indutância anterior ( $L_a$ ) tem valor de 4,5 mH e apresenta resistência interna ( $r_a$ ) de 5,7 m $\Omega$ .

$$L = L_a + L_n = 4,5m + 11m = 15,5 \text{ mH}$$

$$r = r_a + r_n = 57m + 2,5 \cong 2,6 \Omega$$

Devido à alteração no valor da indutância de entrada, foi necessário obter novos resultados experimentais para o retificador (Fig. 7.2) com controle desativado (IGBTs cortados). O reostato  $R_e$  foi ajustado para que a resistência de carga fosse  $235 \Omega$ .

A Fig. 7.3 apresenta os resultados experimentais para o circuito apresentado na Fig. 7.2 com o controle desativado. Isto torna o circuito apenas um retificador a diodos. Pode ser verificado que a corrente de entrada ( $i_s$ ) está distorcida e fora de fase em relação onda de tensão de entrada ( $v_s$ ).

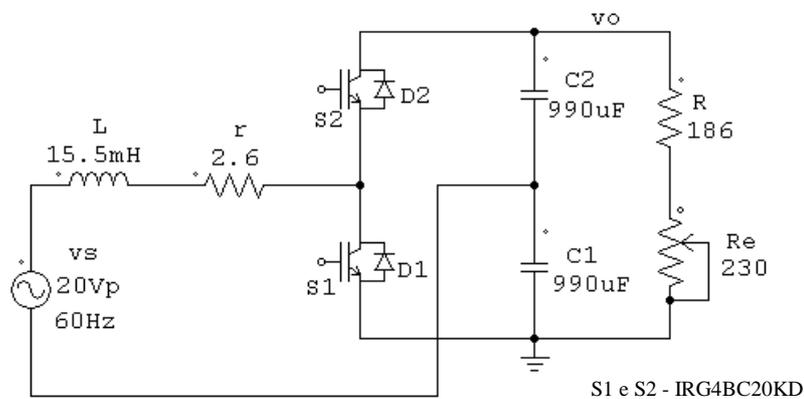
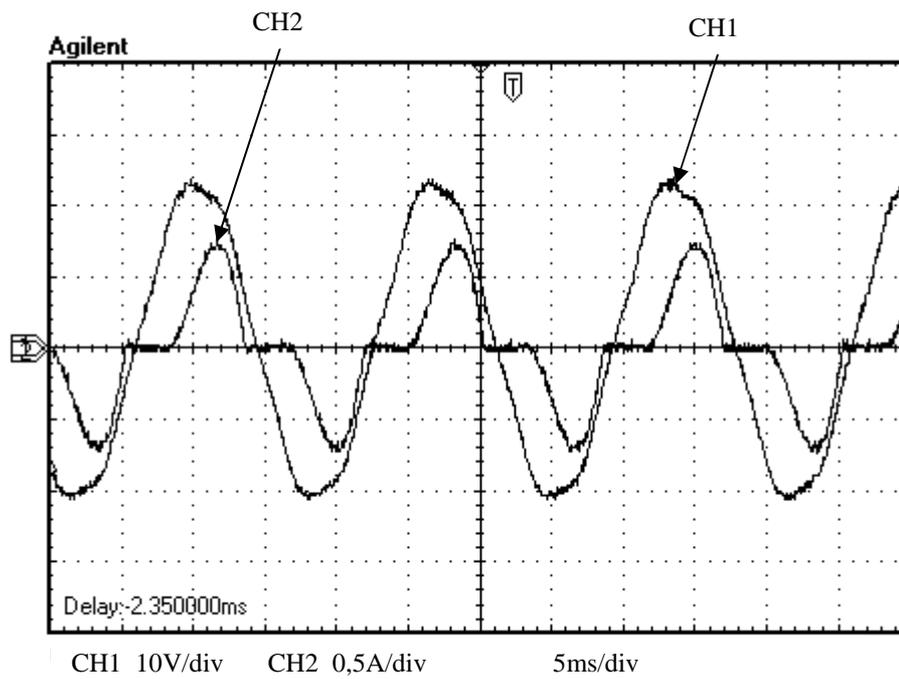


Figura 7.2: Nova configuração do retificador.

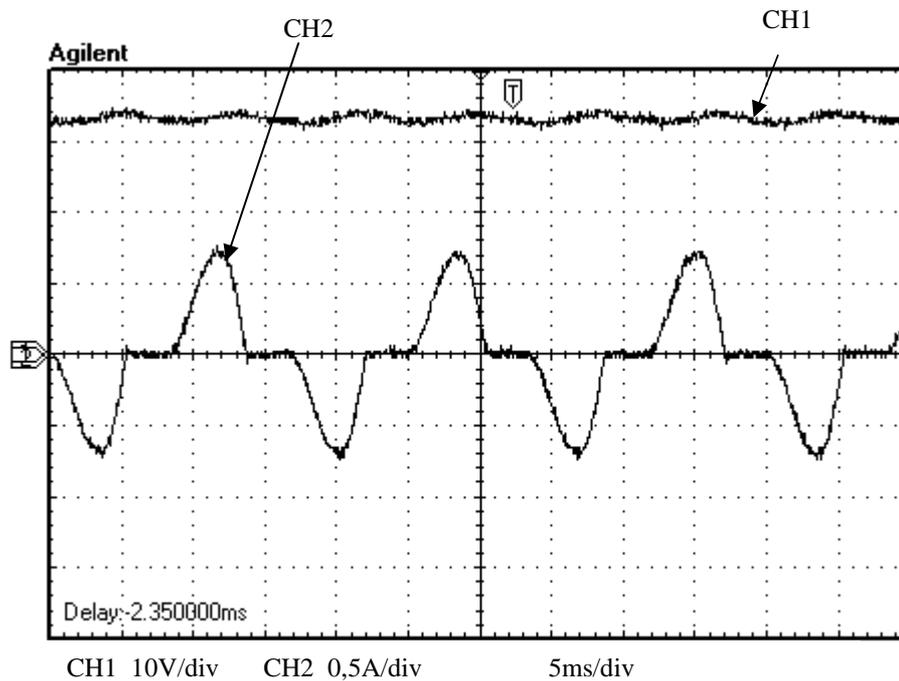
Os parâmetros do circuito apresentado na Fig. 7.2 encontram-se na Tabela 7.1.

Tabela 7.1: Parâmetros da nova configuração do retificador.

Símbolo	Parâmetros	Unidade
$v_s$	20	$V_p$
$f$	60	Hz
$L$	4,5	mH
$r$	57	$m\Omega$
$R$	186	$\Omega$
$R_e$	0 - 230	$\Omega$
$C_1$	990	$\mu F$
$C_2$	990	$\mu F$



(a)



(b)

Figura 7.3: Resultado experimental com o controle desativado (carga de  $235 \Omega$ ); (a) Tensão de entrada (CH1) e corrente de entrada (CH2), (b) Tensão de saída (CH1) e corrente de entrada (CH2).

Comparando-se a Fig. 2.9 e a Fig. 7.3; observa-se que, embora o controle esteja desativado, o indutor adicionado a entrada do retificador reduziu o THDi, mas piorou o DPF.

Os resultados obtidos no experimento com o controle desativado encontram-se na Tabela 7.2:

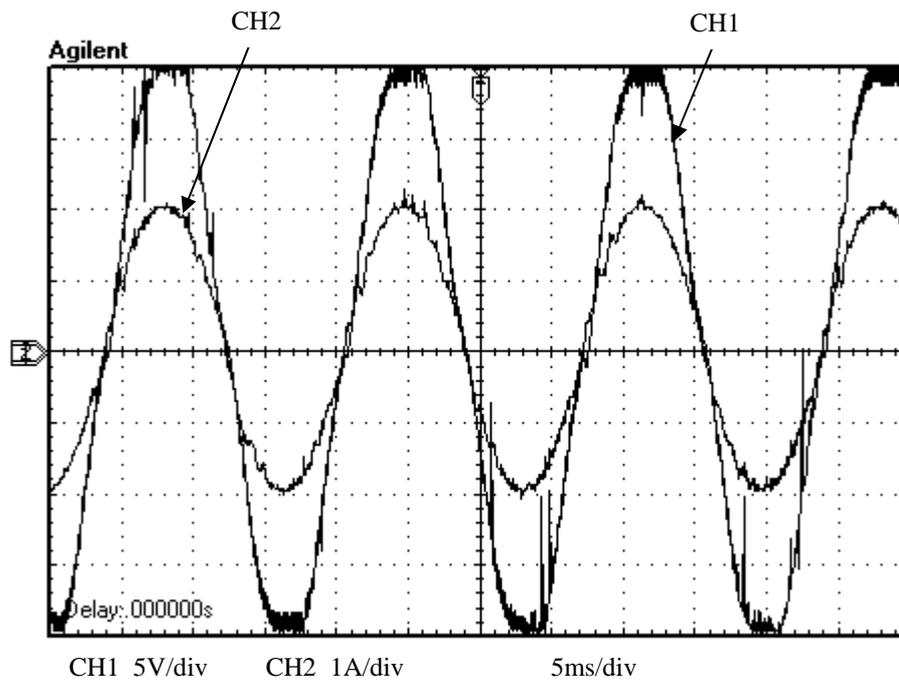
Tabela 7.2: Resultados experimentais obtidos para a nova configuração do retificador com o controle desativado.

Símbolo	Resultado	Unidade
DPF	0,896	-
THD <sub>i</sub>	49,8	%
THD <sub>y</sub>	4,53	%
FP	0,802	-
P <sub>s</sub>	5,30	VA
RF <sub>vo</sub>	0,242	%
P <sub>o</sub>	4,46	W
η	84,2	%
V <sub>o</sub>	32,4	VDC

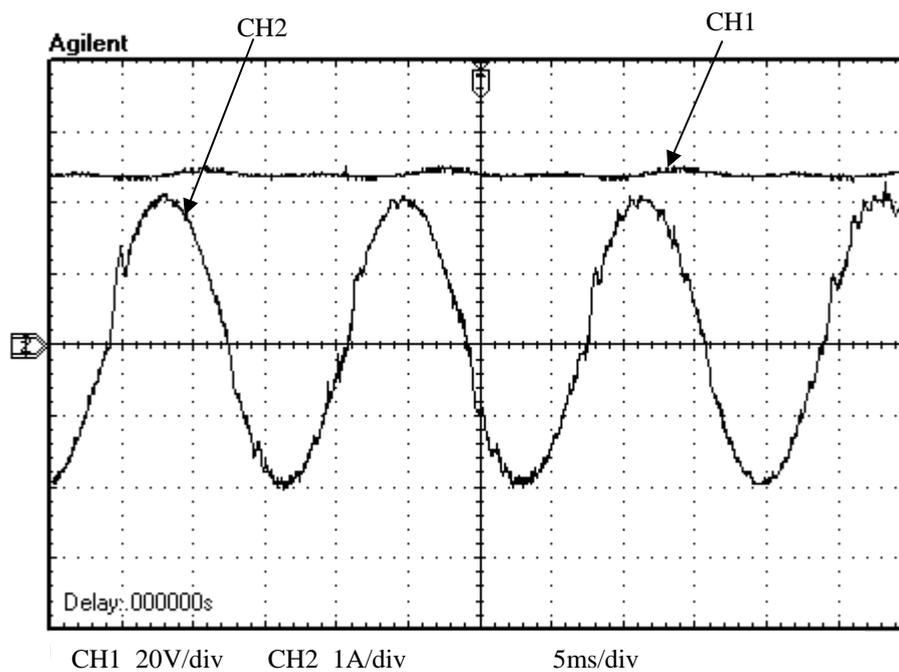
## 7.2 – Resultado experimental do retificador com controle da corrente de entrada

Antes de realizar o controle da corrente e da tensão simultaneamente, o controlador foi testado utilizando uma corrente de referência fixa de 2 A de pico com o laço de controle de tensão em aberto.

A Fig. 7.4 apresenta os resultados experimentais obtidos utilizando somente o controle de corrente.



(a)



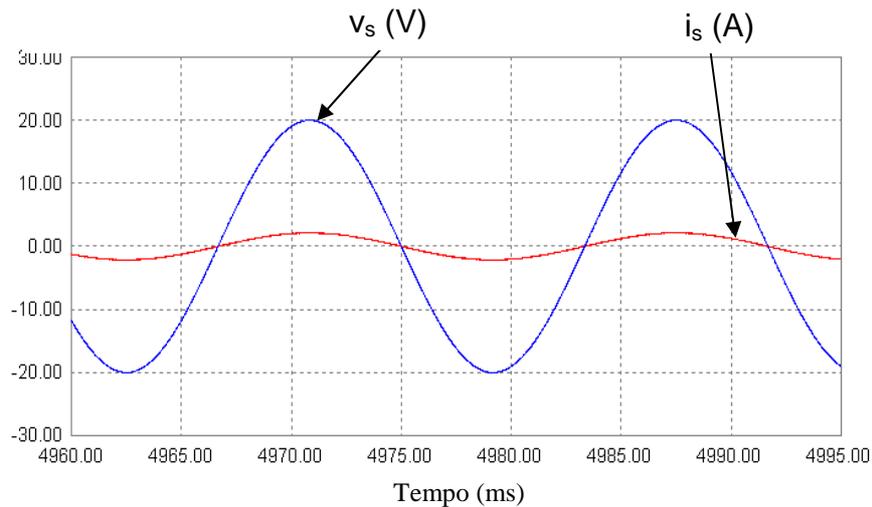
(b)

Figura 7.4: Resultado experimental somente com o controle de corrente ativado (carga de 235  $\Omega$ ); (a) Tensão de entrada (CH1) e corrente de entrada (CH2), (b) Tensão de saída (CH1) e corrente de entrada (CH2).

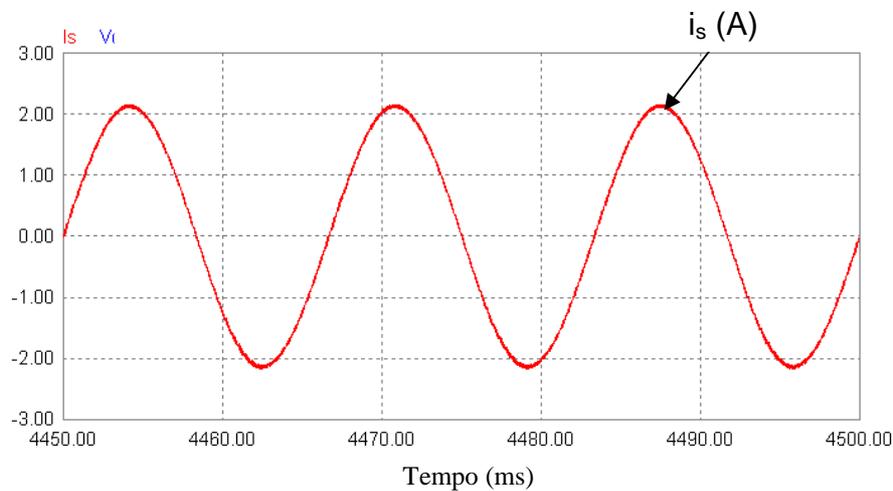
Pode ser observado que a corrente está em fase com a tensão de entrada e que houve elevação da tensão média de saída.

### 7.3 – Resultados de simulações do retificador com controle da corrente de entrada e controle da tensão de saída

Com objetivo semelhante à Seção 7.1, a simulação foi refeita utilizando o a nova configuração do retificador com o controle ativado (Figuras 7.5 e 7.6). Os parâmetros utilizados na simulação foram os mesmos usados no Seção 7.1.



(a)



(b)

Figura 7.5: Resultados de simulações; (a) Tensão de entrada e corrente de entrada em fase, (b) Corrente de entrada.

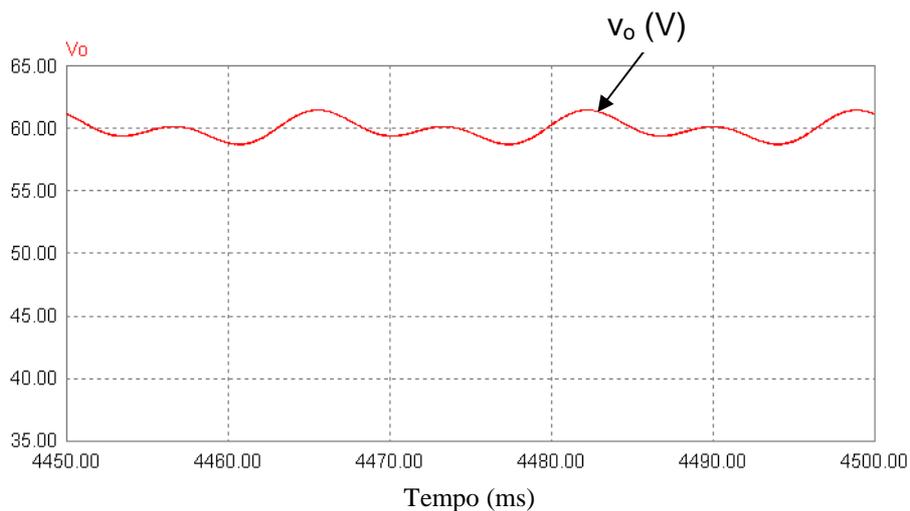


Figura 7.6: Tensão de saída (resultado de simulações).

Observa-se que: a tensão de entrada está em fase com corrente de entrada, o FP na entrada tornou-se unitário, a tensão de saída média manteve-se próxima ao valor de referência (60 V) e o valor do fator de *ripple* na saída permaneceu baixo.

Os resultados obtidos na simulação (apêndice C) encontram-se na Tabela 7.3:

Tabela 7.3: Resultados obtidos na simulação para a nova configuração do retificador com o controle ativado.

Símbolo	Resultado	Unidade
DPF	1	-
THD <sub>i</sub>	2	%
THD <sub>v</sub>	0	%
FP	1	-
P <sub>s</sub>	21	VA
RF <sub>vo</sub>	1,3	%
P <sub>o</sub>	15,3	W
η	72,9	%
V <sub>o</sub>	60	VDC

#### 7.4 – Resultados experimentais do retificador com controle da corrente de entrada e controle da tensão de saída

Os resultados experimentais obtidos para o controle da corrente de entrada ( $i_s$ ) e o controle da tensão de saída ( $v_o$ ) funcionando simultaneamente, foram obtidos para três valores de tensão de referência (50 V, 60 V e 70 V) e três valores de amplitude da corrente de entrada (1 A, 2 A e 3 A) para mostrar a faixa de atuação do controle. A qualidade do controle é limitada principalmente pela amplitude da corrente de entrada. Se a amplitude de  $i_s$  for maior do que 3 A, o controle torna-se instável e se a amplitude de  $i_s$  for muito pequena, a corrente deixa de ser senoidal. Por isso foram escolhidos: um valor mínimo para  $i_s$  ser considerada senoidal (1 A), um valor máximo que limita a estabilidade do sistema de controle (3 A) e um valor equidistante aos dois extremos da faixa de controle (2 A).

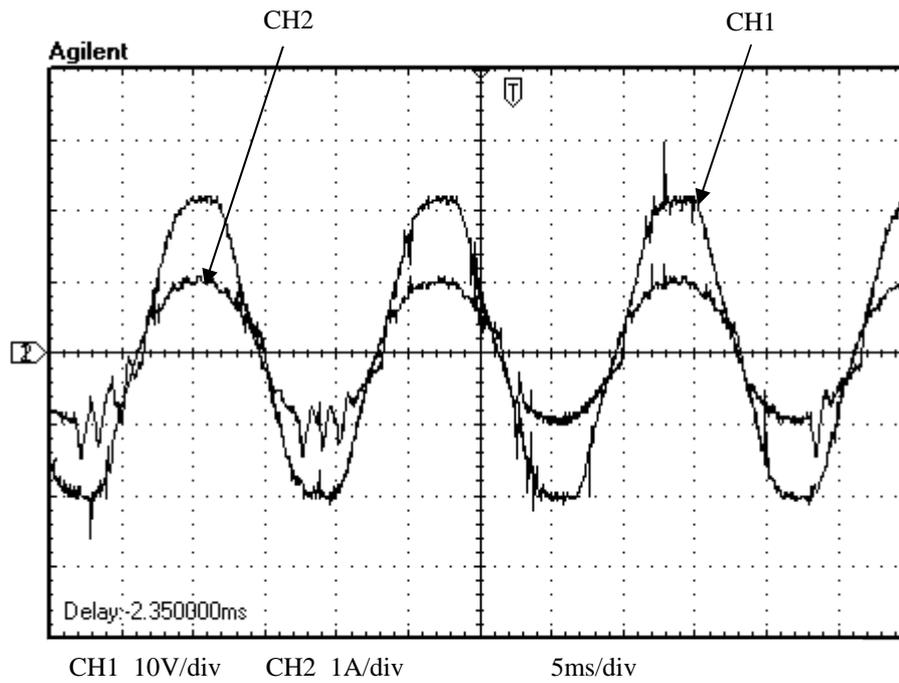
A tensão de saída é limitada pela potência que a carga suporta e pelo valor de pico da tensão de entrada ( $v_o > 2V_p$ ). Por isso foram escolhidos: um valor mínimo para  $v_o$  limitado pela tensão de entrada (50 V), um valor máximo limitado pela potência da carga (70 V) e um valor equidistante aos dois extremos (60 V).

Os diferentes valores das amplitudes de corrente foram obtidos variando o valor de um reostato ligado em série com a carga. A Tabela 7.4 apresenta o valor da carga para cada valor de corrente e tensão.

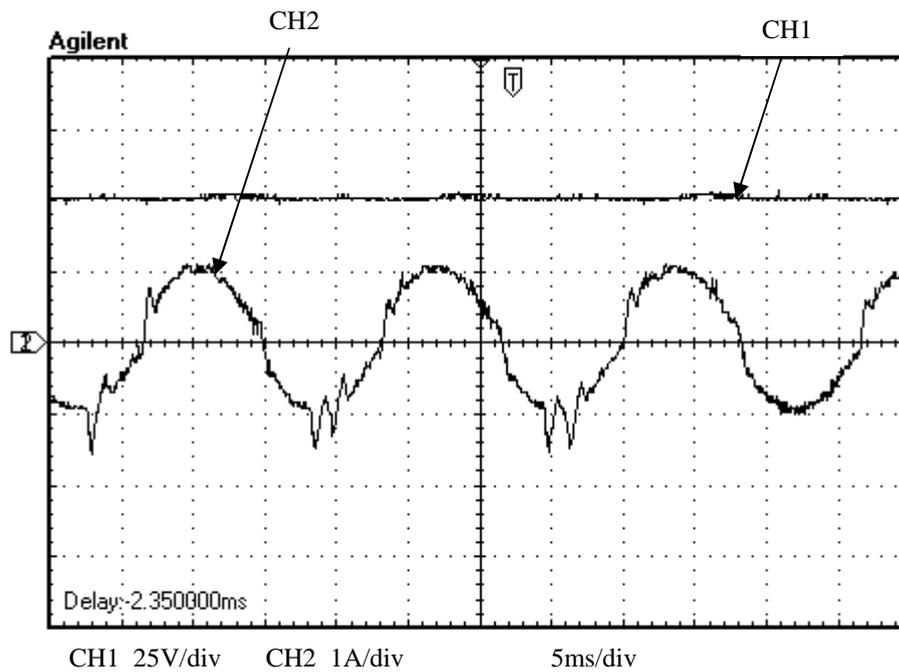
Tabela 7.4: Cargas utilizadas para obter a corrente de entrada e a tensão de saída.

Amplitude de $i_s$	Tensão de Referência		
	50 V	60 V	70 V
1A	<b>261 <math>\Omega</math></b>	258 $\Omega$	460 $\Omega$
2A	166 $\Omega$	<b>235 <math>\Omega</math></b>	320 $\Omega$
3A	149 $\Omega$	202 $\Omega$	<b>296 <math>\Omega</math></b>

Os resultados gráficos apresentados estão destacados (negrito) na Tabela 7.4.

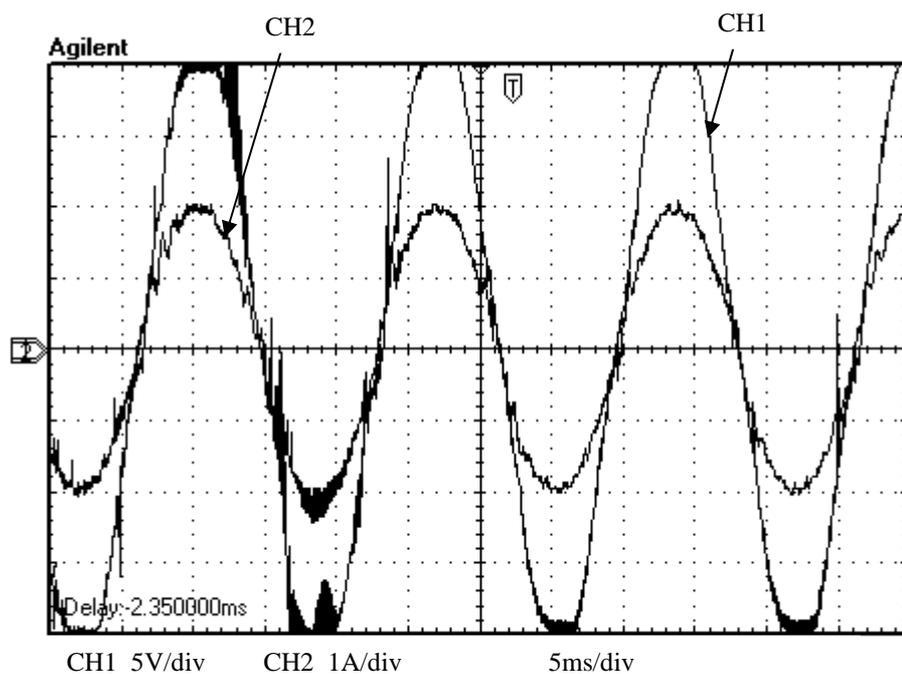


(a)

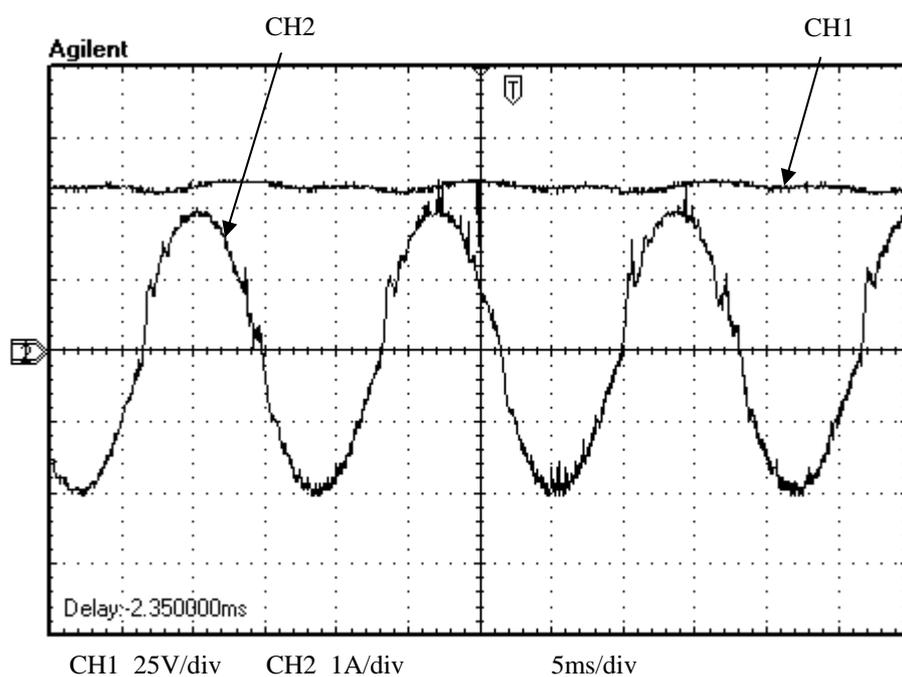


(b)

Figura 7.7: Resultado experimental com o controle ativado (carga de  $261 \Omega$  e tensão de referência de 50 V); (a) Tensão de entrada (CH1) e corrente de entrada (CH2), (b) Tensão de saída (CH1) e corrente de entrada (CH2).

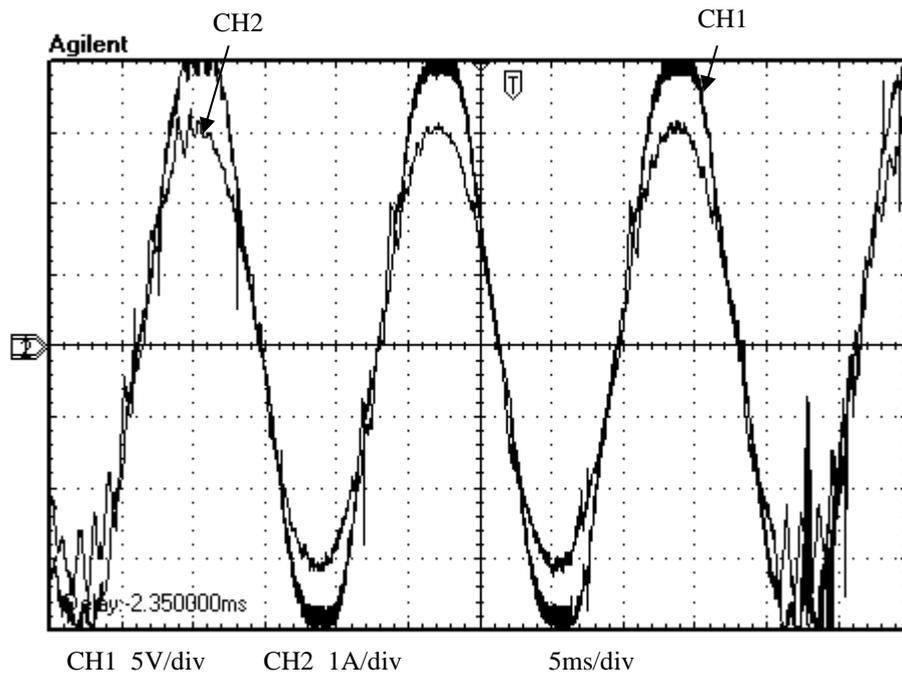


(a)

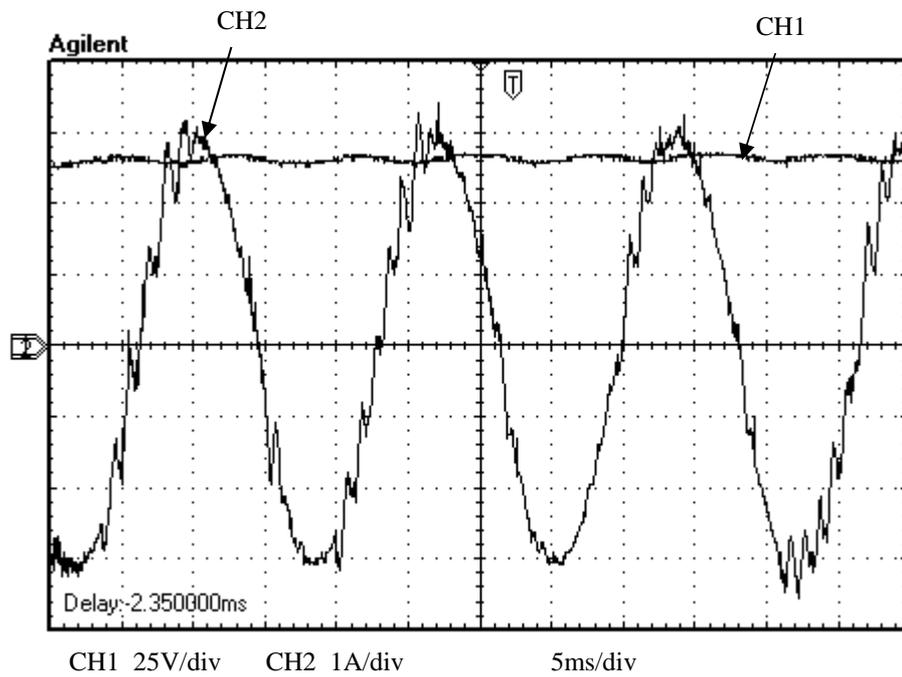


(b)

Figura 7.8: Resultado experimental com o controle ativado (carga de  $235 \Omega$  e tensão de referência de 60 V); (a) Tensão de entrada (CH1) e corrente de entrada (CH2), (b) Tensão de saída (CH1) e corrente de entrada (CH2).



(a)



(b)

Figura 7.9: Resultado experimental com o controle ativado (carga de  $296 \Omega$  e tensão de referência de  $70 \text{ V}$ ); (a) Tensão de entrada (CH1) e corrente de entrada (CH2), (b) Tensão de saída (CH1) e corrente de entrada (CH2).

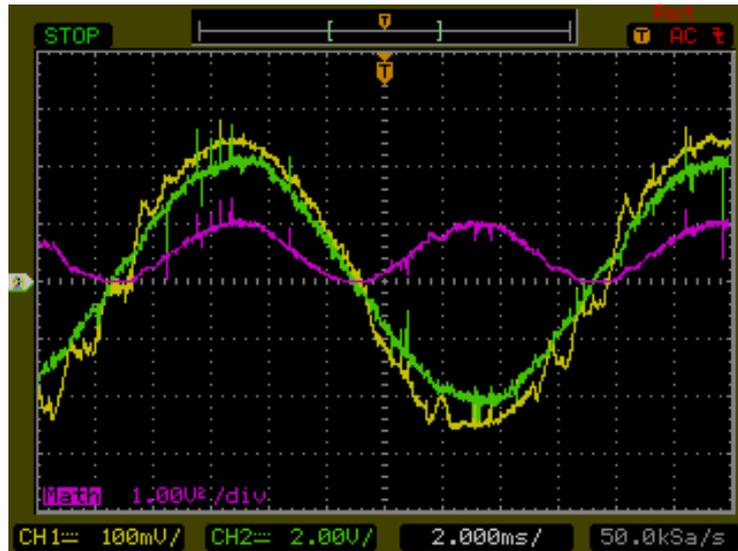


Figura 7.10: Tensão de entrada (Verde), corrente de entrada (Amarelo) e Potência de entrada (Lilás) (Resultado experimental com o controle ativado)

Este experimento mostrou que o controle é robusto a variações na carga e na tensão de referência. O controle reduziu significativamente a distorção harmônica na corrente e tornou o fator de potência na entrada do retificador quase unitário para todos os resultados apresentados. Observa-se na Fig. 7.10 o efeito do controle na potência de entrada (lilás), que apresentou praticamente a forma de uma senóide elevada ao quadrado.

Os resultados numéricos (apêndice B) obtidos neste experimento, foram para tensão de referência de 60 V e resistência de carga 235  $\Omega$  (Fig. 7.8). Os resultados encontram-se na Tabela 7.5.

Tabela 7.5: Resultados experimentais para a nova configuração do retificador com o controle ativado.

Símbolo	Resultado	Unidade
DPF	0,964	-
THD <sub>i</sub>	6,92	%
THD <sub>y</sub>	5,24	%
FP	0,962	-
P <sub>s</sub>	21,5	VA
RF <sub>vo</sub>	0,212	%
P <sub>o</sub>	13,9	W
$\eta$	64,8	%
V <sub>o</sub>	57,2	VDC

Os resultados apresentados nas Tabelas 7.2, 7.3 e 7.5 foram reunidos na Tabela 7.6.

Tabela 7.6: Comparação dos resultados experimentais para a nova configuração do retificador.

	Resultados		
	Experimento com o Controle Desativado	Simulação com o Controle Ativado	Experimento com o Controle Ativado
DPF	0,896	1	0,964
THDi	49,8%	2,00%	6,92%
THDv	4,53%	0%	5,24%
PF	0,802	1	0,962
Ps	5,30 VA	21 VA	21,5 VA
RFv	0,242%	1,30%	0,21%
Po	4,46 W	15,3 W	13,9 W
$\eta$	84,2%	72,90%	64,80%
V <sub>o</sub>	32,4 VDC	60 VDC	57,2 VDC

## CAPÍTULO 8 – CONCLUSÕES

Neste Projeto de Graduação foi aplicado um DSP na implementação de um sistema de controle para tornar o fator de potência unitário, reduzir a distorção harmônica na corrente de entrada e controlar o nível DC da tensão de saída de um retificador monofásico dobrador de tensão tipo *boost* PWM. Foram desenvolvidos também, circuitos de interface para o DSP, circuitos isoladores, condicionadores de sinais e *drivers* para os IGBTs que permitiram o acoplamento entre o retificador e o DSP.

O algoritmo de processamento desenvolvido para o controle do retificador atende à proposta deste projeto. A corrente permanece seguindo a referência senoidal, mesmo que hajam variações na carga e no valor da tensão de referência, levando-se em consideração que a tensão de referência deve ser maior do que  $2V_p$  e que o controle torna-se instável para correntes de entrada maiores que 3 A.

A técnica de controle, por PWM senoidal, usada neste trabalho foi eficaz na correção do fator de potência e no controle do nível DC da tensão de saída e, apesar da indutância ter sido aumentada para que o controle funcionasse corretamente, os resultados das simulações foram validados pelos experimentos.

A proposta de continuação deste trabalho é utilizar *feedforward* conjugado ao controle proporcional de corrente.

## REFERÊNCIAS

- [1] Ortmann, M. S. Filtro Ativo Trifásico com Controle Vetorial Utilizando DSP: Projeto e Implementação. Programa de Pós-Graduação em Engenharia Elétrica - UFSC, Santa Catarina, 2008. Disponível em [http://www.tede.ufsc.br/tedesimplificado//tde\\_busca/arquivo.php?codArquivo=343](http://www.tede.ufsc.br/tedesimplificado//tde_busca/arquivo.php?codArquivo=343)
- [2] Green, J. T. Boys A. W. Current-forced single-phase reversible rectifier. setembro, 1989, IEE PROCEEDINGS, Vol. 136, Pt. B, No. 5 , SEPTEMBER 1989.
- [3] Rashid, Muhammad H. Power Eletronics - Circuits, Devices, and Aplications. Prentice Hall. 2ª. Edição. 1999.
- [4] Figueres, E., Benavent, J. B., Garcerá, G., Pascual, M. A Control Circuit With Load-Current Injection for Single-Phase Power-Factor-Correction Rectifiers. June 2007. IEEE Trans. Ind. Electron.,vol. 54, no. 3, June 2007, pp. 1272-1281.
- [5] Manual da Texas Instruments, eZdsp F2812 Technical Reference, revisão D, fevereiro, 2003. Disponível no CD de instalação do CCStudio: file:\ccs\docs\pdf\manuals\_ccs\_full\_c2000\2812\_ezdsp\_TechRef\_D.pdf.
- [6] Padilha, F. J. C. Retificador PWM Boost Dobrador de Tensão com Redução da Distorção Harmônica na Fonte. Projeto de Graduação em Engenharia Eletrônica — UERJ, Rio de Janeiro, 2004. Disponível em <http://www.lee.eng.uerj.br/~jpaulo/PG/2004/PG-Convertor-CA-CC-2004.pdf>.
- [7] Padilha, F. J. C., Bellar, M. D. Modeling and Control of the Half-Bridge Voltage-Doubler Boost Converter. 2003, Publication of the IEEE Industrial Electronics Society.
- [8] Offrede, R. A. Controle de um Levitador Eletromagnético com Incertezas. Relatório Final do Trabalho de Iniciação Científica.— UERJ, Rio de Janeiro, 2006. Disponível em: <http://www.lee.eng.uerj.br/~jpaulo/PG/2006/Relatoriofinal.IC-2005-2006.pdf>.
- [9] Carmo, A. D. A., Paula A. P. J. Aplicação de um Processador Digital de Sinais no Controle de um Levitador Eletromagnético. Projeto de Graduação em Engenharia Eletrônica — UERJ, Rio de Janeiro, 2009. Disponível em <http://www.lee.eng.uerj.br/~jpaulo/PG/2004/PG-DSP-Levitador-2009.pdf>.
- [10] Ogata, Katsuhiko. Engenharia de Controle Moderno. Pearson Pretice Hall. 4ª. Edição. 2003.
- [11] Manual da Texas Instruments, TMS320F2812 EzDSP, revisão C, fevereiro, 2003. Disponível no CD de instalação do CCStudio: file:\ccs\docs\pdf\manuals\_ccs\_full\_c2000\2812\_ezdsp\_Schem\_C.pdf.

[12] Manual da Texas Instruments, Code Composer Studio Getting Started Guide, novembro, 2001. Disponível no CD de instalação do CCStudio: file:\ccs\docs\pdf\spru509c.pdf.

[13] Celes Filho, Waldemar. Curso de C e Estrutura de Dados, agosto, 1993.

[14] Manual da Texas Instruments, C281x C/C++ Header Files and Peripheral Examples, setembro, 2003. Disponível no diretório SPRC097: file:tidcs\c28\dsp281x\v100\doc

[15] Manual da Texas Instruments, TMS320F28x Analog-to-Digital Converter (ADC) Peripheral Reference Guide, junho, 2002. Disponível no CD de instalação do CCStudio: file:\ccs\docs\pdf\spru060.pdf.

[16] Manual da Texas Instruments, TMS320F28x Event Manager (EV) Peripheral Reference Guide, maio, 2002. Disponível no CD de instalação do CCStudio: file:\ccs\docs\pdf\spru065.pdf.

[17] Manual da Texas Instruments, TMS320F28x System Control and Interrupts Peripheral Reference Guide, maio, 2002. Disponível no CD de instalação do CCStudio: file:\ccs\docs\pdf\spru078.pdf.

## APÊNDICE A – SOFTWARE PARA O CÁLCULO DOS PARÂMETROS EXPERIMENTAIS DE DESEMPENHO DO RETIFICADOR

```
clear all;

% O multiplicador 10 e' para corrigir a escala da ponteira % de
corrente (100mV/A) e o multiplicador 50 e para          % corrigir a
escala da ponteira de tensao (0,02 V/V)

%Tensao de entrada em Volts
vs = 50*[

%Inserir dados

];

%Base de tempo para a tensao de entrada
t_vs = [

%Inserir dados

];

%Corrente de entrada em Amperes
is = 10*[

%Inserir dados

];

%Base de tempo para a corrente de entrada
t_is = [];

%Tensao de saida em Volts
Vo = 50*[

%Inserir dados

];

%Base de tempo para a tensao de saida
t_Vo = [

%Inserir dados

];

%Tamanho dos vetores
L_vs =length(vs);
L_is = length(is);
L_Vo = length(Vo);

%FFT dos vetores
vs_fft = fft(vs);
is_fft = fft(is);
Vo_fft = fft(Vo);

% ATENÇÃO!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!
```

```

% A amplitude do grafico FFT e´ dada da seguinte forma:
% AMPLITUDE = [(NUMERO DE ELEMENTOS DO VETOR) / 2] * (VALOR % MAXIMO
DA SENOIDE)

%Amplitude dos harmonicos da FFT

vs_n = 2*(abs(vs_fft)/L_vs);
vs_n(1) = vs_n(1)/2;

is_n = 2*(abs(is_fft)/L_is);
is_n(1) = is_n(1)/2;

Vo_n = 2*(abs(Vo_fft)/L_Vo);
Vo_n(1) = Vo_n(1)/2;

%vetor de frequencia := k1 * (0:k2);
% k1 := ajuste de escala de frequencia
% k2 := quantidade de "amostras"

f1 = 5*(0:600);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%Valor RMS da tensao de entrada:

vs_n2 = 0;

for (i=13:24:(L_vs/2))
    vs_n2 = vs_n2 + (vs_n(i))^2;
end

vs_rms = ((vs_n2/2) + (vs_n(1)^2))^(.5)

%Valor RMS da corrente de entrada:

is_n2 = 0;

for (i=13:24:(L_is/2))
    is_n2 = is_n2 + (is_n(i))^2;
end

is_rms = ((is_n2/2) + (is_n(1)^2))^(.5)

%Valor RMS da tensao de saida:

Vo_n2 = 0;

for (i=49:48:(L_Vo/2))
    Vo_n2 = Vo_n2 + (Vo_n(i))^2;
end

Vo_rms = ((Vo_n2/2) + (Vo_n(1)^2))^(.5);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%Distorcao harmonica total (THD) na entrada:

%Valor RMS do primeiro harmonico da tensao de entrada
vs_1_rms = vs_n(13)/(2^0.5)

```

```

%THD da tensao de entrada
THD_vs = (((vs_rms/vs_1_rms)^2 - 1)^0.5)*100

%Valor RMS do primeiro harmonico da corrente de entrada
is_1_rms = is_n(13)/(2^0.5)

%THD da corrente de entrada
THD_is = (((is_rms/is_1_rms)^2 - 1)^0.5)*100

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%Fator de potencia

%Angulo do primeiro harmonico da tensao de entrada
vs_ang_1 = angle(vs_fft(2));

%Angulo do primeiro harmonico da corrente de entrada
is_ang_1 = angle(is_fft(2));

%Fator de potencia da fundamental (DPF)
DPF = cos(is_ang_1 + vs_ang_1)

%Fator de potencia total
FP = DPF/(1 + (THD_is/100)^2)^0.5

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%Fator de ripple da tensao de saida

Vo_DC = Vo_n(1)
Vo_AC = (Vo_rms^2 - Vo_DC^2)^0.5;
RF_Vo = Vo_AC*100/Vo_DC

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%Potencia

%Potencia de Entrada
Ps = vs_1_rms*is_1_rms

%Potencia de saida
Po = ((Vo_DC)^2)/235

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%Rendimento
n = 100*Po/Ps

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%Graficos

%Tensao de Entrada
figure(1);
plot(t_vs,vs);
grid on;
title ('Tensao de Entrada');
xlabel('Time (s)');
ylabel('Volts (V)');

%FFT da Tensao de Entrada
figure(2);
plot(f1,vs_n(1:(length(f1))));

```

```

grid on;
title ('FFT da Tensao de Entrada');
xlabel('Freq.(Hz)');
ylabel('Volts (V)');

%Corrente de Entrada
figure(3);
plot(t_is,is);
grid on;
title ('Corrente de Entrada');
xlabel('Time (s)');
ylabel('Amperes (A)');

%FFT da Corrente de Entrada
figure(4);
plot(f1,is_n(1:(length(f1))));
grid on;
title ('FFT da Corrente de Entrada');
xlabel('Freq.(Hz)');
ylabel('Amperes (A)');

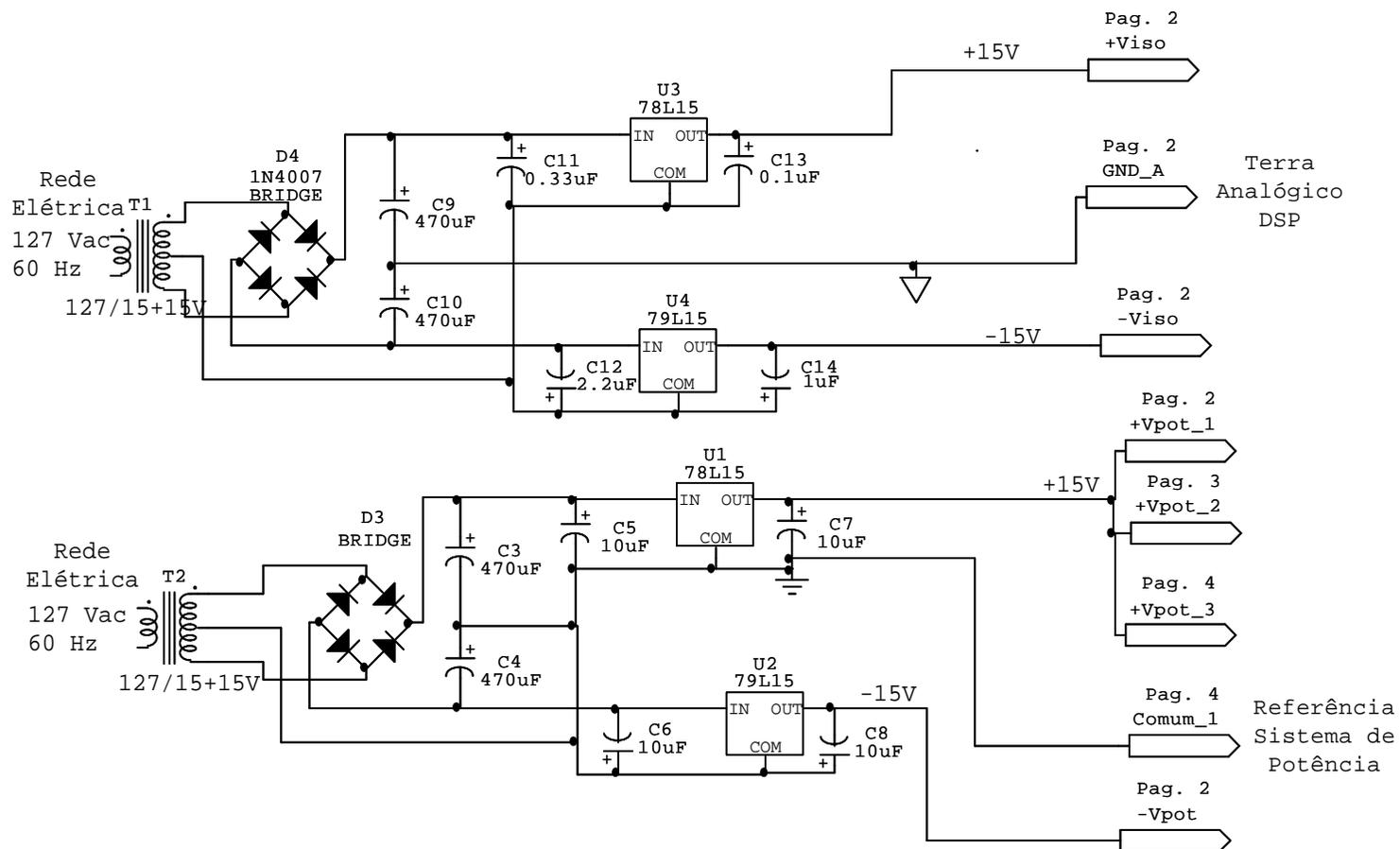
%Tensao de Saida
figure(5);
plot(t_Vo,Vo);
grid on;
title ('Tensao de Saida');
xlabel('Time (s)');
ylabel('Voltage (V)');

%FFT da Tensao de Saida
figure(6);
plot(f1,Vo_n(1:(length(f1))));
grid on;
title ('FFT da Tensao de Saida');
xlabel('Freq.(Hz)');
ylabel('Voltage (V)');

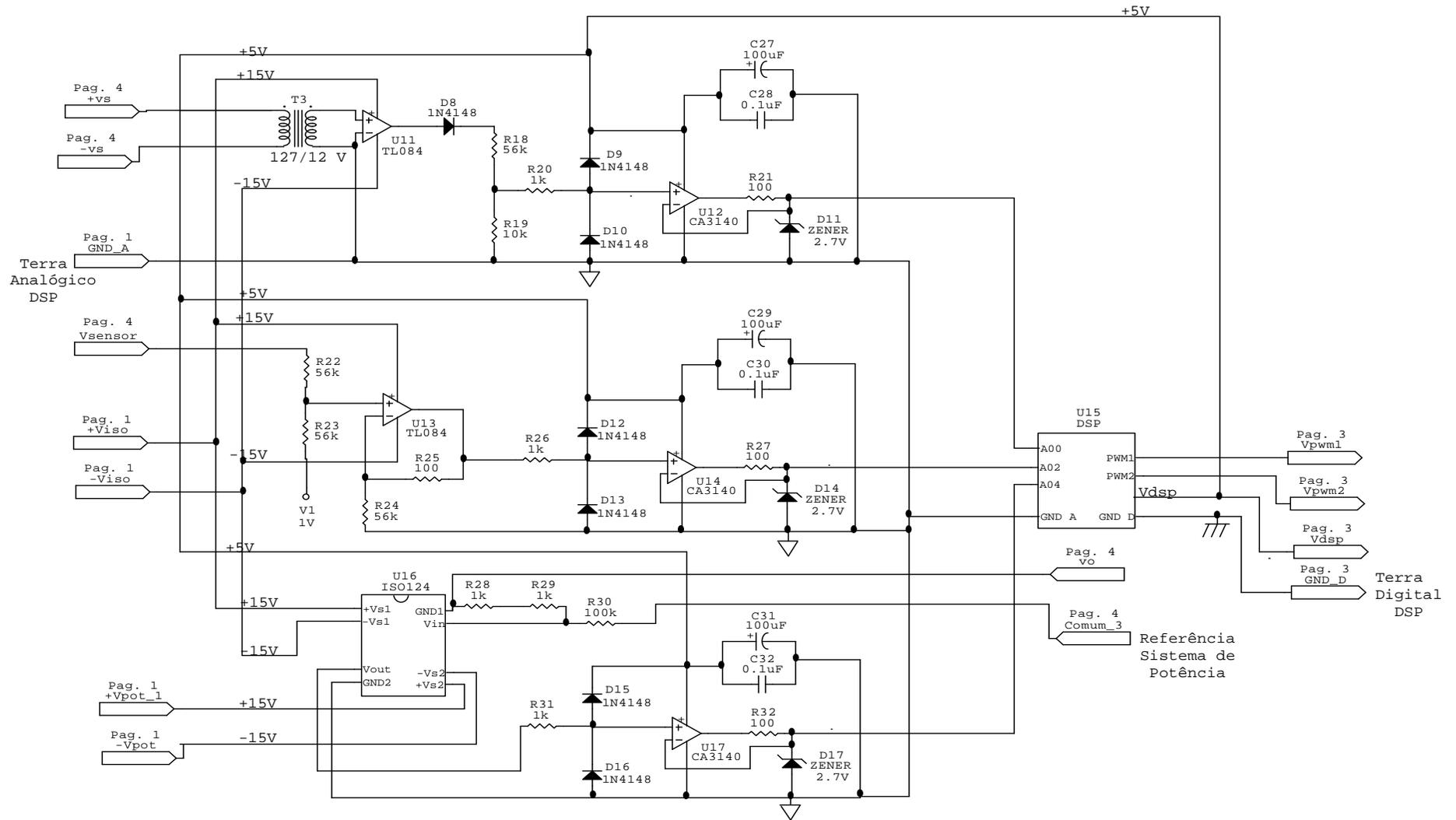
```

## APÊNDICE B – DIAGRAMA ELÉTRICO

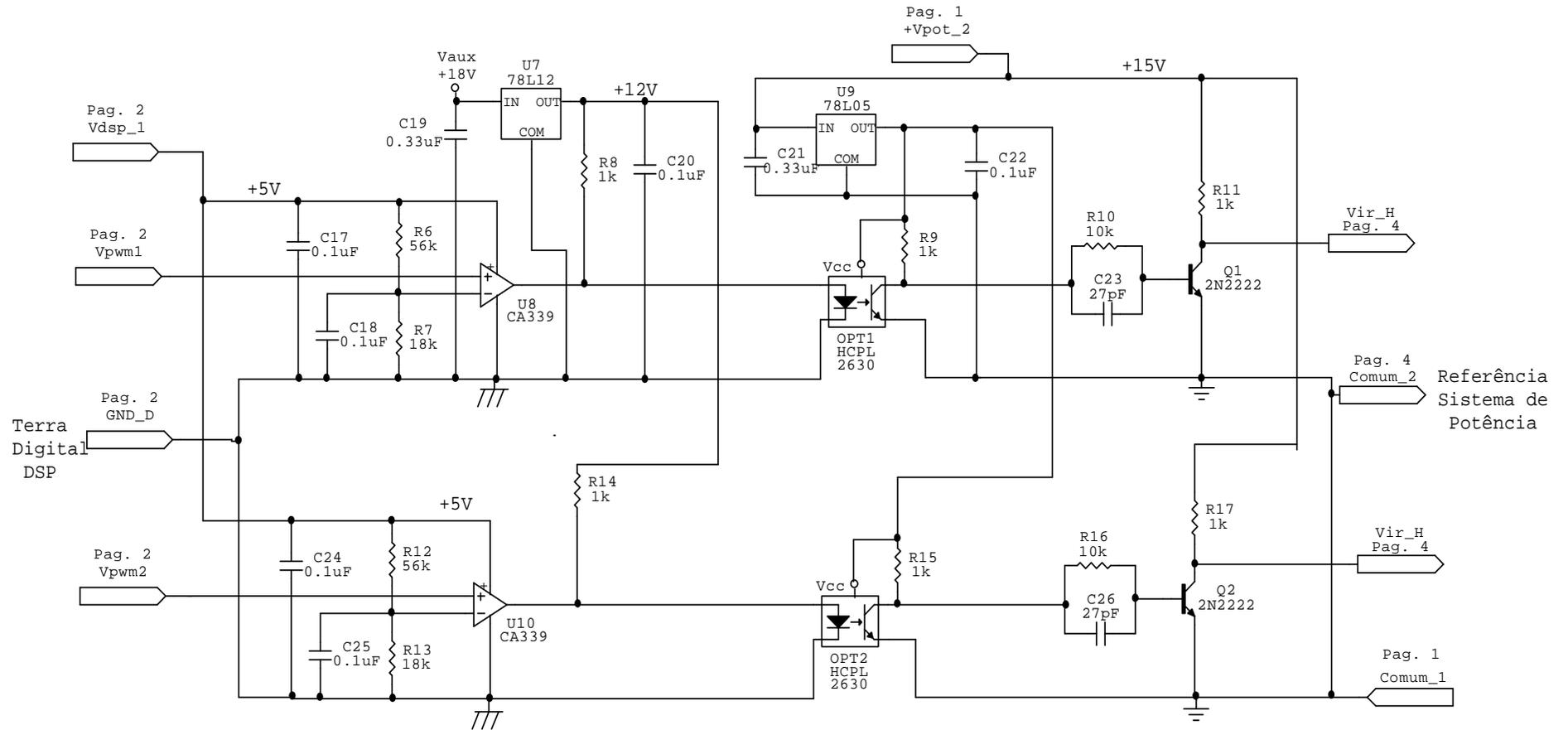
### CIRCUITO DE ALIMENTAÇÃO



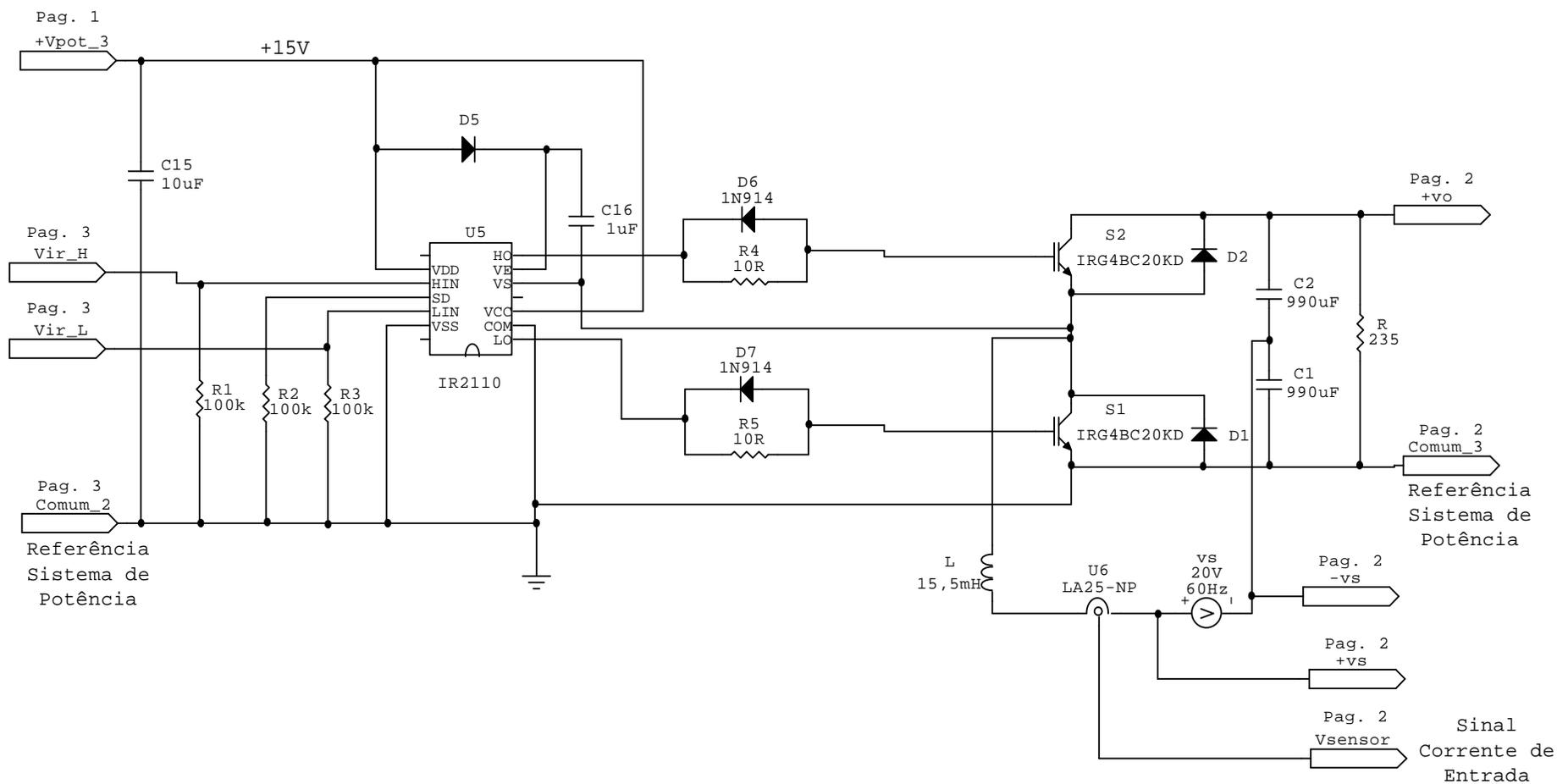
## CIRCUITO DE INTERFACE DO CONVERSOR A/D E O DSP



## CIRCUITO DE ISOLAÇÃO DAS SAÍDAS PWM



## CIRCUITO DRIVER DOS IGBTs E O RETIFICADOR BOOST



## APÊNDICE C – MÉTODO PARA O CÁLCULO DOS PARÂMETROS DE DESEMPENHO DO RETIFICADOR

O método apresentado a seguir foi desenvolvido utilizando a referência 3[14] e as ferramentas fornecidas pelo programa PSIM para calcular o fator de potência total (PF), a potência fornecida pela fonte de entrada ( $P_s$ ), o fator de *ripple* na tensão de saída ( $RF_{v_o}$ ), a potência entregue a carga ( $P_o$ ) e o rendimento do circuito ( $\eta$ ).

### . Distorção Harmônica Total da corrente na entrada do retificador

O  $THD_i$  é obtido através do bloco “THD” fornecido pelo programa PSIM. Este bloco recebe, como parâmetro de entrada, o sinal da corrente de entrada do retificador e fornece, como parâmetro de saída, o THD e a forma de onda da componente fundamental do sinal da corrente. O PSIM calcula o THD utilizando a equação a seguir:

$$THD_i = \frac{\sqrt{I_{s\ rms}^2 - I_1^2}}{I_1},$$

onde:

$I_{s\ rms}$  é o valor médio quadrático da corrente de entrada

$I_1$  é o valor médio quadrático da componente fundamental da corrente de entrada

Um filtro passa banda de segunda ordem é utilizado para extrair a forma de onda do primeiro da corrente de entrada.

### . Fator de Potência da Fundamental na entrada do retificador

O fator de potência da fundamental é calculado utilizando a seguinte equação:

$$DPF = \cos(\theta),$$

onde  $\theta$  é a diferença de fase entre a tensão de entrada e a componente fundamental da corrente de entrada.

Para obter o ângulo  $\theta$  traça-se no mesmo gráfico as formas de onda: da tensão de entrada e da componente fundamental da corrente de entrada fornecida pelo bloco “THD”, utilizando o programa PSIM. A ferramenta “zoom” é utilizada para ampliar as formas de onda e medir o ângulo  $\theta$ .

#### **. Fator de Potência Total na entrada do retificador**

O fator de potência total é calculado utilizando a equação a seguir:

$$PF = \frac{1}{\sqrt{1+THD_i^2}} DPF$$

#### **. Potência fornecida pela fonte**

A potência de entrada é calculada utilizando a equação a seguir:

$$P_s = V_{s\ rms} \times I_1$$

onde:

$V_{s\ rms}$  é o valor médio quadrático da tensão de entrada

$I_1$  é o valor médio quadrático da componente fundamental da corrente de entrada

Para calcular  $V_1$  e  $I_1$  traça-se as formas de onda: da tensão de entrada e da componente fundamental da corrente de entrada, e utilizando a ferramenta “measure” fornecida pelo programa PSIM obtém-se o valor de pico de cada uma das senóides. Dividido os valores de pico por  $\sqrt{2}$ , obtém-se  $V_1$  e  $I_1$ .

### . Fator de *Ripple* de Tensão na saída do retificador

O fator de *ripple* da tensão de saída é calculada utilizando a equação a seguir:

$$RFV_o \% = \frac{V_{oAC}}{V_{oDC}} 100$$

onde:

$V_{oAC}$  é o valor médio quadrático das componentes harmônicas da tensão de saída

$V_{oDC}$  é o valor médio da tensão de saída

Para calcular  $V_{oAC}$  e  $V_{oDC}$  adiciona-se, em paralelo a carga do retificador, um capacitor em série com um resistor, de modo que a impedância equivalente seja muito maior do que a impedância da carga. O capacitor (0,01 mF) é escolhido para que somente o nível DC da tensão de saída apareça entre os seus terminais e a tensão AC apareça entre os terminais do resistor (18 kΩ). O bloco “rms”, fornecido pelo programa PSIM, é utilizado para calcular o valor médio quadrático da tensão entre os terminais do resistor ( $V_{oAC}$ ) e  $V_{oDC}$  é obtida medindo-se a tensão entre os terminais do capacitor.

### . Potência DC entregue a carga

$$P_o = \frac{V_{oDC}^2}{R}$$

onde:

R é o valor da resistência da carga

### . Rendimento do retificador

$$\eta = \frac{P_o}{P_s} 100$$

## APÊNDICE D – PROGRAMA PRINCIPAL PARA O CONTROLE DO RETIFICADOR

```
//Inclui todos os arquivos headers necessários para este trabalho
#include "DSP281x_Device.h"
#include "DSP281x_Examples.h"

#define w 0.0377 //Frequência da corrente de referência
#define T_PWM 0x3A90 //14992 - 10 kHz
#define Ls_D 14617 //Limite superior da largura de pulso do PWM
#define Li_D 375 //Limite inferior da largura de pulso do PWM
#define ki 50//Ganho do controlador da corrente de entrada
#define kv 1 //Ganho do controlador da tensão de saída
#define V_ref 1500 //Tensão de referência
#define h_60 167 //Intervalo de amostragem em 60 Hz
#define a 630 //Polo do integrador

//Funções utilizadas neste programa

//Função de interrupção do conversor A/D
interrupt void adc_isr(void);

//Função de interrupção do temporizador 1
interrupt void eva_timer1_isr(void);

//Função de //interrupção do temporizador 2
interrupt void eva_timer2_isr(void);

//Função de configuração do conversor A/D
void configuracao_ad (void);

//Função de configuração das saídas PWM
void configuracao_pwm (void);

//Contadores globais utilizados

//Conta o número de interrupções do temporizador 1
Uint32 EvaTimer1InterruptCount;

//Conta o número de interrupções do temporizador 2
Uint32 EvaTimer2InterruptCount;

//Conta o número de interrupções do conversor A/D
Uint32 ADCInterruptCount;

//Contador para o filtro digital
Uint16 y;

//Contador para o cálculo da tensão de saída média
Uint16 z;

//Variável auxiliar para o cálculo da tensão de saída média
Uint16 u;

//Marca o cruzamento por zero de vs
Uint16 x;

//Tempo discreto
float32 t;
```

```

//Variáveis globais utilizadas

//Acumuladores de valores convertidos pelos canais 02 e 04 do A/D
Uint32 A02, A04;

//Corrente de entrada
int32 is;

//Duty cycle do PWM
int32 D;

//Amplitude da corrente de referência e corrente de referência
int32 I_ref, is_ref;

//Tensão de entrada
int32 vs;

/*Tensão de saída, Tensão de saída média e acumulador para o cálculo
da tensão de saída média*/
int32 Vo, Vo_M, Vo_s;

//Erro de tensão e Erro de corrente
int32 ev, ei;

//Integrador do erro de tensão
int32 integ_v;

void main(void)
{
// Esta função é encontrada no arquivo DSP281x_SysCtrl.c
InitSysCtrl();

// Clock do sistema 150Mhz
EALLOW;
SysCtrlRegs.HISPCP.all = 0x0; // HSPCLK = SYSCLKOUT/1
EvaRegs.T1CON.bit.TPS = 000;
AdcRegs.ADCTRL3.bit.ADCCLKPS = 0x3;
AdcRegs.ADCTRL1.bit.ACQ_PS = 0x0;
EDIS;

EALLOW;
GpioMuxRegs.GPAMUX.all = 0x3; // EVA PWM 1-6 pins
GpioMuxRegs.GPBMUX.all = 0x0; // EVB PWM 7-12 pins
EDIS;

DINT;

// Esta função é encontrada no arquivo DSP281x_PieCtrl.c
InitPieCtrl();

IER = 0x0000;
IFR = 0x0000;

// Esta função é encontrada no arquivo DSP281x_PieVect.c.
InitPieVectTable();

EALLOW;
PieVectTable.ADCINT = &adc_isr;
PieVectTable.T1PINT = &eva_timer1_isr;
PieVectTable.T2PINT = &eva_timer2_isr;
EDIS;

```

```

// Atribuição de valor inicial para as viáveis utilizadas no programa
ADCInterruptCount = 0;
EvaTimer1InterruptCount = 0;
EvaTimer2InterruptCount = 0;
t = 0;
A02 = 0;
A04 = 0;
x = 0;
integ_v = 0;
z = 0;
u = 0;

InitAdc(); // Inicia o Conversor A/D

// Configura o conversor A/D e os circuitos PWM
configuracao_ad(); // Configura o A/D
configuracao_pwm(); // Configura as saídas PWM

// Habilita interrupções
PieCtrlRegs.PIEIER1.bit.INTx6 = 1;
PieCtrlRegs.PIEIER2.all = M_INT4;
PieCtrlRegs.PIEIER3.all = M_INT1;

IER |= (M_INT1 | M_INT2 | M_INT3);

EINT;
ERTM;

// Loop IDLE. Mantém o loop indefinidamente:
for(;;);
}

void configuracao_ad (void)
{
// Configuração do conversor A/D
AdcRegs.ADCMAXCONV.all = 0x2;

//A/D funciona no modo cascata
AdcRegs.ADCTRL1.bit.SEQ_CASC = 1;

//A/D funciona no modo sequencial
AdcRegs.ADCTRL3.bit.SMODE_SEL = 0;

AdcRegs.ADCTRL2.bit.SOC_SEQ1 = 1;

// Escolhe o canal ADCINA0 para a primeira conversão
AdcRegs.ADCCHSELSEQ1.bit.CONV00 = 0x0;

// Escolhe o canal ADCINA2 para a segunda conversão
AdcRegs.ADCCHSELSEQ1.bit.CONV01 = 0x2;

// Escolhe o canal ADCINA4 para a terceira conversão
AdcRegs.ADCCHSELSEQ1.bit.CONV02 = 0x4;

AdcRegs.ADCTRL2.bit.EVA_SOC_SEQ1 = 1;
AdcRegs.ADCTRL2.bit.INT_ENA_SEQ1 = 1;

AdcRegs.ADCTRL1.bit.CONT_RUN = 0;
}

```

```

void configuracao_pwm(void)
{
    EvaRegs.GPTCONA.all = 0;

    //Período do modulador de largura de pulsos
    EvaRegs.T1PR = T_PWM;

    // Carrega o registrador de período do temporizador 2
    EvaRegs.T2PR = 0x4;    // Período
    EvaRegs.T2CMPR = 0x2;  // Registrador de comparação

    EvaRegs.EVAIMRA.bit.T1PINT = 1;
    EvaRegs.EVAIFRA.bit.T1PINT = 1;

    EvaRegs.EVAIMRB.bit.T2PINT = 1;
    EvaRegs.EVAIFRB.bit.T2PINT = 1;

    EvaRegs.T1CNT = 0x0000; // Timer1 counter

    EvaRegs.T1CON.all = 0x1042; //Timer 1 control register

    EvaRegs.T2CNT = 0x0000;
    EvaRegs.T2CON.all = 0x1042;

    // Configura T1PWM
    EvaRegs.GPTCONA.bit.TCMPOE = 0; //GP timer control register A

    EvaRegs.GPTCONA.bit.T1PIN = 1;

    EvaRegs.DBTCONA.all = 0x0000; //Dead band control regiter A
    EvaRegs.DBTCONA.bit.DBT = 0xA;
    EvaRegs.DBTCONA.bit.DBTPS = 100;

    EvaRegs.DBTCONA.bit.EDBT1 = 1; //Habilita o Dead-band

    EvbRegs.DBTCONB.all = 0x0000; //Dead band control regiter B

    EvaRegs.GPTCONA.bit.T1TOADC = 2; //GP timer control register

    EvaRegs.COMCONA.all = 0xCA20; //Compare control register

    EvbRegs.COMCONB.all = 0x0;

    EvaRegs.CAPCONA.all = 0x0; //Capture control register

    EvbRegs.CAPCONB.all = 0x0;

    EvaRegs.ACTRA.bit.CMP1ACT = 10;
    EvaRegs.ACTRA.bit.CMP2ACT = 01;
}

interrupt void adc_isr(void)
{
    //ADCInterruptCount++;

    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
}

```

```

interrupt void eva_timer2_isr(void)
{
    //EvaTimer2InterruptCount++;

    /*Filtro digital. Realiza a média de 64 conversões do A/D para cada
canal*/
    if (y<64)
    {
        A02 = (AdcRegs.ADCRESULT1 >>4) + A02;
        A04 = (AdcRegs.ADCRESULT2 >>4) + A04;
        y++;

        /*Identifica o instante em que vs cruza o zero e é
crescente*/
        if(y==63)
        {
            if (((AdcRegs.ADCRESULT0 >>4) > 1300) && (x == 1))
            {
                x = 0;
                t=0;
                u = z;
                z = 0;
            }

            if (((AdcRegs.ADCRESULT0 >>4) < 1300) && (x == 0))
            {
                x=1;
            }
            t++;
        }
    }

    /*Reinicia a sequência de conversões do A/D para a próxima
seqüência*/
    AdcRegs.ADCTRL2.bit.RST_SEQ1 = 1;
    AdcRegs.ADCST.bit.INT_SEQ1_CLR = 1;

    EvaRegs.EVAIMRB.bit.T2PINT = 1;

    EvaRegs.EVAIFRB.all = BIT0;

    PieCtrlRegs.PIEACK.all = PIEACK_GROUP3;
}

interrupt void eva_timer1_isr(void)
{
    // EvaTimer1InterruptCount++;

    /*Valores digitais da corrente de entrada e da tensão de saída
filtrados*/
    is = (A02 >> 6);
    Vo = (A04 >> 6);

    //Controle PI utilizando a tensão média de saída
    if (z == 0)
    {
        Vo_M = Vo_s/u;
        ev = (V_ref - Vo_M);
        integ_v = integ_v + ev*h_60;
        I_ref = ((kv*(10000*ev + a*integ_v))>>21);
    }
}

```

```

Vo_s = 0;
}

//Limitador para a corrente de referência
if(I_ref > 1600) I_ref = 1600;
if(I_ref < 0) I_ref = 0;

is_ref = (I_ref)*(sin(w*t));
ei = is_ref - (is - 1400);

D = - (ki*ei) + 7496;

// Limitador para o duty cycle do PWM
if (D > Ls_D)
{
D = Ls_D;
}

if (D < Li_D)
{
D = Li_D;
}

EvaRegs.CMPR1 = D; //Timer1 compare

A02 = 0;
A04 = 0;
y = 0;

Vo_s = Vo_s + Vo;
z++;

EvaRegs.EVAIMRA.bit.T1PINT = 1;

EvaRegs.EVAIFRA.all = BIT7;

PieCtrlRegs.PIEACK.all = PIEACK_GROUP2;
}

```