



UNIVERSIDADE DO ESTADO DO RIO DE JANEIRO
Faculdade de Engenharia
Departamento de Engenharia Eletrônica e de Telecomunicações

PROJETO DE GRADUAÇÃO

Retificador PWM “Boost” Dobrador de Tensão com Redução da distorção Harmônica na Fonte

Felipe José da Costa Padilha

Orientadora: Prof^a Maria Dias Bellar

Co-orientador: Prof. José Paulo Vilela Soares da Cunha

Coordenador: Prof. Paulo Sergio Rodrigues Alonso

Fevereiro de 2004

Ficha catalográfica

PADILHA, Felipe José da Costa

Retificador PWM “Boost” Dobrador de Tensão com Redução da distorção Harmônica na Fonte.

X, 72 pp, 29,7 cm (UERJ, Engenharia Eletrônica, 2004)

Projeto de Graduação – Universidade do Estado do Rio de Janeiro.

1. Retificadores a diodos
2. Fontes chaveadas
3. Retificador Boost PWM
4. Correção do fator de potência (FP)

I. UERJ/FEN II. Título (série)

Dedicatória

A meus pais, Norival Mendonça Padilha e Nilce Guilhermina Ludolf da Costa Padilha e toda a minha família, que em tudo me apoiaram. Eles desdobraram-se com sacrifícios para me oferecer as condições necessárias ao meu bem estar, disponibilizando recursos e apoios em todas as minhas atividades desenvolvidas durante o curso de graduação, seja através da educação, de preceitos de conduta moral ou pela forma determinada e abnegada de superar obstáculos em meu favor, nunca me educando com palavras vazias, mas sempre pela força do exemplo.

A minha tia Eunice Belliene de Andrade pela acolhida nos primeiros meses do curso. Tê-los em minha vida é uma benção recebida de Deus.

Agradecimentos

A Deus, a quem eu sirvo de coração inteiro e que sempre é o Emanuel - “Deus conosco”, realidade em minha vida, ajudando-me a ser honesto e a ter caráter na hora das provas; nos momentos difíceis, esclarecendo sempre minha mente, fortalecendo minha fé para o testemunho fiel diariamente.

À Prof^a. Maria Dias Bellar, que é um exemplo de profissional que ama sua Universidade e sabe torná-la cada dia maior, superando dificuldades e prosseguindo na busca da execução de um trabalho cada vez melhor; por conduzir seus orientandos de forma objetiva e precisa, com sugestões práticas e eficientes, sempre se empenhando em conseguir recursos para o equipamento do laboratório. Caso contrário seria muito difícil a realização dos trabalhos relacionados à eletrônica de potência da UERJ. Seu incentivo permanente serviu-me de guia para o ritmo e dedicação dados aos trabalhos realizados.

Ao Prof. José Paulo, por sua dedicação na ministração de sua disciplina, que muito ajudou no entendimento e embasamento teórico deste projeto, bem como sua ajuda com conselhos, no decorrer do mesmo.

Ao Prof. Paulo Sérgio Rodrigues Alonso, por suas sugestões e orientações para o cumprimento do prazo e boa execução deste projeto.

Aos professores do Departamento de Engenharia Eletrônica e de Telecomunicações da Faculdade de Engenharia da UERJ e aos funcionários em geral pelo trabalho desenvolvido ao longo do período de graduação do ciclo profissional, o que certamente possibilitou a conclusão do mesmo.

Em especial ao Prof. Raul José da Silva Câmara Mauricio da Fonseca, do Instituto de Física da UERJ, que teve importante contribuição para a formação do aluno e seu ingresso na área de pesquisa, como orientador do projeto de pesquisa desenvolvido nos primeiros anos do curso de graduação.

Resumo

Retificador Dobrador de Tensão tipo Boost PWM

A cada dia vem aumentando o interesse em desenvolver topologias de retificadores com a capacidade de tornar o Fator de Potência unitário, devido ao aumento de custos no uso de energia, bem como ao crescimento de regulamentações sobre qualidade de energia e harmônicos presentes na rede elétrica. Dentre estas topologias o Retificador Monofásico Dobrador de Tensão tipo Boost PWM pode ser considerado uma escolha interessante, para aplicações de baixo custo. Considerações sobre o desempenho, tal como tensão de saída, Fator de Potência de entrada e distorção harmônica (THD%) será discutido baseados em simulações digitais usando os programas Pspice e Psim, na versão estudante. Neste trabalho será considerado como estratégia de controle o controle preditivo de corrente com banda de histerese, também conhecido como controle “bang-bang”, e resultados experimentais também serão mostrados com a finalidade de comparar esta topologia com o convencional retificador monofásico em ponte completa.

Abstract

PWM Voltage-Doubler Boost Rectifier

There has been a growing interest in the development of front-end rectifier topologies, with input current waveshaping capability for unitary power factor, due to the increasing costs on the utility usage, and power quality regulations with strict harmonic standards in the AC mains. Among these, the PWM Voltage-Doubler Boost Rectifier can be considered as an interesting choice for single-phase low-cost applications. Performance considerations, such as the output voltage, input power factor and harmonic distortion (THD%), will be discussed by digital simulations using Pspice and Psim student version softwares. In this work, the current predictive control associated with hysteresis band PWM, also known as “bang-bang” control, is considered as feedback loop strategy and experimental results will also be shown in order to compare this topology with the conventional full bridge single-phase rectifier.

Índice

1) INTRODUÇÃO	1
1.1) OBJETIVOS	2
1.2) METODOLOGIA	4
2) RETIFICADORES MONOFÁSICOS A DIODOS	5
2.1) RETIFICADOR MONOFÁSICO EM PONTE COM FILTRO CAPACITIVO	5
2.2) RETIFICADOR MONOFÁSICO EM PONTE COM FILTRO LC	9
2.3) RETIFICADOR MONOFÁSICO DOBRADOR DE TENSÃO	16
2.4) CONCLUSÃO	19
3) RETIFICADOR MONOFÁSICO DOBRADOR TIPO BOOST PWM COM CONTROLE DO FATOR DE POTÊNCIA(FP).....	21
3.1) FUNCIONAMENTO DA ESTRATÉGIA DE CONTROLE COM FATOR DE POTÊNCIA UNITÁRIO.....	24
3.2) CONFIGURAÇÃO DO SISTEMA DE CONTROLE	29
3.3) CONTROLE PWM DE CORRENTE POR BANDA DE HISTERESE.....	30
3.4) MODELO DO RETIFICADOR DOBRADOR BOOST PWM POR BANDA DE HISTERESE.....	32
4) MONTAGEM E TESTES PRELIMINARES DO PROTÓTIPO	35
4.1) CIRCUITO DE ACIONAMENTO DOS TRANSISTORES DE POTÊNCIA	36
4.1.1) PRIMEIRO TESTE DO CIRCUITO <i>DRIVER</i> IR2110	38
4.1.2) RESULTADOS EXPERIMENTAIS DO PRIMEIRO TESTE DO DRIVER IR2110	39
4.1.3) SEGUNDO TESTE DO CIRCUITO <i>DRIVER</i> IR2110	41
4.1.4) RESULTADOS EXPERIMENTAIS DO SEGUNDO TESTE DO DRIVER IR2110	42
4.2) SISTEMA DE AQUISIÇÃO DO SINAL DE SINCRONISMO DO CONTROLE	44
4.3) IMPLEMENTAÇÃO DOS CIRCUITOS DE GANHO	46
4.4) CIRCUITO SUBTRATOR	47
4.5) CIRCUITO COMPARADOR.....	48
4.6) CIRCUITO DE MEMÓRIA DO ESTADO DAS CHAVES	49
4.7) CIRCUITO GERADOR DE ATRASO.....	51
4.8) CONFORMADOR ELEVADOR DE NÍVEL	52
5.9) SENSOR DE CORRENTE.....	53
5) RESULTADOS EXPERIMENTAIS.....	54
5.1) MEDIDA EXPERIMENTAL COM CONTROLE POR BANDA DE HISTERESE	54
5.1.1) EXPERIMENTOS COM O CONTROLE DESATIVADO.....	56
5.2) EXPERIMENTO COM SOBRECARGA	58
5.3) EXPERIMENTO COM A APLICAÇÃO DE FILTROS	59
6) CONCLUSÕES	61
7) DIFICULDADES DURANTE O DESENVOLVIMENTO DO PROTÓTIPO	61
8) PROPOSTAS PARA CONTINUAÇÃO DESTE ESTUDO	62

Índice de Figuras

Figura 1.1: Retificador monofásico Dobrador de Tensão tipo Boost PWM.	3
Figura 1.2: Retificador monofásico em ponte completa com filtro LC.	3
Figura 2.1: Topologias convencionais de retificadores monofásicos a diodo :	5
(a) retificador em ponte com filtro capacitivo;	
(b) retificador em ponte com filtro LC;	
(c) retificador dobrador de tensão.	
Figura 2.2: Topologia do retificador com filtro capacitivo.	6
Figura 2.3: Formas de onda do retificador monofásico com filtro capacitivo.	7
Figura 2.4: Componentes de Fourier da corrente na fonte (I_s) do retificador com filtro capacitivo.	7
Figura 2.5: Retificador monofásico em ponte completa com filtro LC.	9
Figura 2.6: Formas de onda do retificador em ponte completa com filtro LC.	9
Figura 2.7: Corrente no indutor no limiar da condução contínua de corrente.	11
Figura 2.8: Retificador em ponte com filtro LC e $L=L_c$.	12
Figura 2.9: Formas de onda do retificador $L=L_c$.	13
Figura 2.10: Componentes de Fourier da corrente na fonte (I_s) do retificador monofásico com $L=L_c$.	13
Figura 2.11: Formas de onda do retificador da Fig.2.8 com $L_{prático}$ ($L=5mH$).	15
Figura 2.12: Componentes de Fourier da corrente na fonte (I_s) do retificador com $L=L_{prático}$.	15
Figura 2.13: Retificador dobrador de tensão com o valor típico para L .	17
Figura 2.14: Simulação do retificador dobrador de tensão.	17
Figura 2.15: Componentes de Fourier da corrente na fonte (I_s) do retificador Dobrador de tensão.	18
Figura 3.1: Diagrama básico do conversor CA-CC com controle de fator de potência.	21
Figura 3.2: Circuito equivalente para o conversor chaveado.	22
Figura 3.3: Circuito equivalente na frequência fundamental.	22
Figura 3.4: Implementação da onda quadrada para a obtenção da componente fundamental V_1 .	23
Figura 3.5: (a) Circuito retificador; (b) Diagrama em blocos do sistema de controle.	24
Figura 3.6: Etapa de pré-carga dos capacitores .	26
Figura 3.7: Sub-circuitos representativos do Retificador Dobrador Boost PWM.	27
Figura 3.8: Resultados da técnica de correção do Fator de Potência.	27
Figura 3.9: Processo de comutação das chaves semicondutoras.	28
Figura 3.10: Configuração completa do sistema de controle.	29
Figura 3.11: Configuração do sistema de controle usado.	30
Figura 3.12: Circuito de chaveamento PWM por banda de histerese.	31

Figura 3.13: Circuito de chaveamento PWM por banda de histerese.	31
Figura 3.14: Modelo do retificador dobrador Boost PWM implementado.	33
Figura 3.15: Resultados da simulação do modelo da Fig.3.14.	34
Figura 4.1: Diagrama em blocos do protótipo.	35
Figura 4.2: Possível técnica de acionamento de chaves Flutuantes.	37
Figura 4.3: Circuito do primeiro teste do <i>driver</i> IR2110 com ambos os canais aterrados.	39
Figura 4.4: Primeiro teste do circuito <i>Driver</i> IR2110.	40
Figura 4.5: Teste do canal com <i>gate</i> “flutuante” (HIN=60kHz).	40
Figura 4.6: Teste do canal aterrado (LIN=60kHz).	41
Figura 4.7: Segundo circuito <i>driver</i> com o IR2110.	41
Figura 4.8: Tensão medida no diodo D5.	42
Figura 4.9: Tensão na carga do canal com <i>gate</i> “flutuante”.	43
Figura 4.10: Tensão na carga do canal aterrado.	43
Figura 4.11: Circuito de acionamento completo para as chaves.	44
Figura 4.12: Amplificador diferencial para gerar o sinal de referência (bloco1).	45
Figura 4.13: Circuito de ganho.	46
Figura 4.14: Circuito subtrator (bloco 3).	47
Figura 4.15: Circuito comparador tipo janela (bloco 2).	48
Figura 4.16: Circuito de memória (bloco 4).	49
Figura 4.17: Sinal de erro do controlador.	50
Figura 4.18: Circuito gerador de atraso.	51
Figura 4.19: Circuito elevador de nível.	53
Figura 5.1: Protótipo experimental do conversor Boost com controle de fator de potência.	54
Figura 5.2: Primeiro resultado experimental (Azul-Corrente de entrada I_s ; Vermelho-Tensão de entrada V_s ; Verde-Tensão de saída V_o).	55
Figura 5.3: Primeiro resultado experimental com o controle desativado.	57
Figura 5.4: Resultados experimentais com sobrecarga.	58
Figura 5.5: Resultados experimentais com uso de filtro.	59

Índice de Tabelas

Tabela 2.1: Harmônicos da corrente na fonte(is) com filtro capacitivo.	8
Tabela 2.2: Harmônicos da corrente na fonte(is) com $L=L_c$.	14
Tabela 2.3: Harmônicos da corrente na fonte(is) com $L=L$ típico.	16
Tabela 2.4: Espectro da corrente na fonte (is) do retificador dobrador de tensão.	18
Tabela 2.5: Sumário das simulações.	19
Tabela 4.1: Tabela verdade do Flip-Flop SR.	49
Tabela 5.1: Sumário dos resultados experimentais.	60

1) Introdução

Os conversores CA-CC são amplamente utilizados, devido à necessidade freqüente de se obter tensões contínuas, a partir de tensões senoidais de entrada. Neste caso são muito comuns circuitos reguladores com transistores operando na região linear. À medida que a potência do conversor cresce, este tipo de projeto torna-se inconveniente pois os dispositivos semicondutores tipo transistores, quando operam na região linear, apresentam maiores perdas de energia, por dissipação de calor. O uso de técnicas de chaveamento apresenta melhorias na eficiência do conversor uma vez que os dispositivos semicondutores quando funcionam no modo chaveado, ou seja, corte e saturação, apresentam menores perdas do que quando atuam na região linear.

De modo geral, um conversor eletrônico de potência é composto de um estágio de potência conectado a um estágio com circuitos eletrônicos que realiza a função de controle. O estágio de controle gera os pulsos para condução e corte das chaves semicondutoras de potência que podem ser transistores, bipolares, Mosfets e IGBT's (*Insulated Gate Bipolar Transistor*) ou tiristores, tais como SCR(*Silicon Controlled Rectifier*).

Desde os anos 60 tem havido um constante avanço no desenvolvimento destes dispositivos. A grande variedade destas chaves no mercado tem propiciado o aumento do uso de conversores chaveados em diversas aplicações. As áreas de aplicação se ampliam a medida em que o desenvolvimento da tecnologia aumenta os limites de operação das chaves em termos de níveis de potência e resposta em freqüência.

Existem diversas topologias de retificadores disponíveis na literatura, mas a mais utilizada na indústria, devido à facilidade de projeto e menor custo, tem sido a que utiliza ponte de diodos com filtragem passiva. Nestes retificadores, porém, verifica-se uma alta distorção harmônica total na corrente de entrada (THDi%), o que se traduz numa diminuição do fator de potência de entrada (FP), e no aumento da interferência eletromagnética (Electromagnetic Interference -EMI) em outros equipamentos eletrônicos nas proximidades, o que pode acarretar no mau funcionamento dos mesmos. Podem ser citadas como desvantagens de um baixo FP e elevada distorção, dentre outros, os seguintes fatos:

- A máxima potência ativa fornecida em uma instalação elétrica é limitada pelo FP;
- As harmônicas de corrente provocam um sobredimensionamento da instalação elétrica e dos transformadores, além de aumentar as perdas no cobre (efeito pelicular);
- As componentes harmônicas podem excitar ressonâncias no sistema de potência. Isto pode causar picos de tensão e de corrente que danifiquem outros dispositivos ou equipamentos conectados ao mesmo ponto de rede;
- Sub-utilização da capacidade de potência elétrica disponível e, como conseqüência, o aumento de custos.

A melhoria da eficiência no uso da energia elétrica constitui-se atualmente num motivo de preocupação de diversas agências regulamentadoras em vários países [2], o que contribui para o surgimento da área de estudos chamada de Qualidade de Energia. Nestes estudos, os fatores indicativos mais populares para a medição da qualidade de energia têm sido o fator de potência total (FPT) e a distorção harmônica total (THD%).

Portanto, é importante o estudo de técnicas capazes de solucionar ou minimizar estes efeitos e, além disto, o desenvolvimento de conversores eletrônicos que proporcionem melhoria do fator de potência com redução da distorção harmônica.

O foco deste trabalho é o desenvolvimento experimental de um retificador monofásico que proporcione a redução da distorção harmônica da corrente na fonte e, conseqüentemente, a melhoria do fator de potência.

1.1) Objetivos

Diversas topologias de retificadores monofásicos podem ser encontradas na literatura. (basicamente elas se constituem em circuitos a diodos com filtro passivo ou em circuitos com algum tipo de controle por modulação de largura de pulso (Pulse Width Modulation – PWM)) [2]-[5].

As topologias de retificadores tipo PWM freqüentemente são apresentadas na literatura como uma solução para melhorar o desempenho e a qualidade de energia, no que diz respeito ao fator de potência e distorção harmônica total(THDi%).

Neste trabalho considerou-se a implementação do conversor CA-CC dobrador de tensão tipo Boost PWM, mostrado na Fig.1.1.

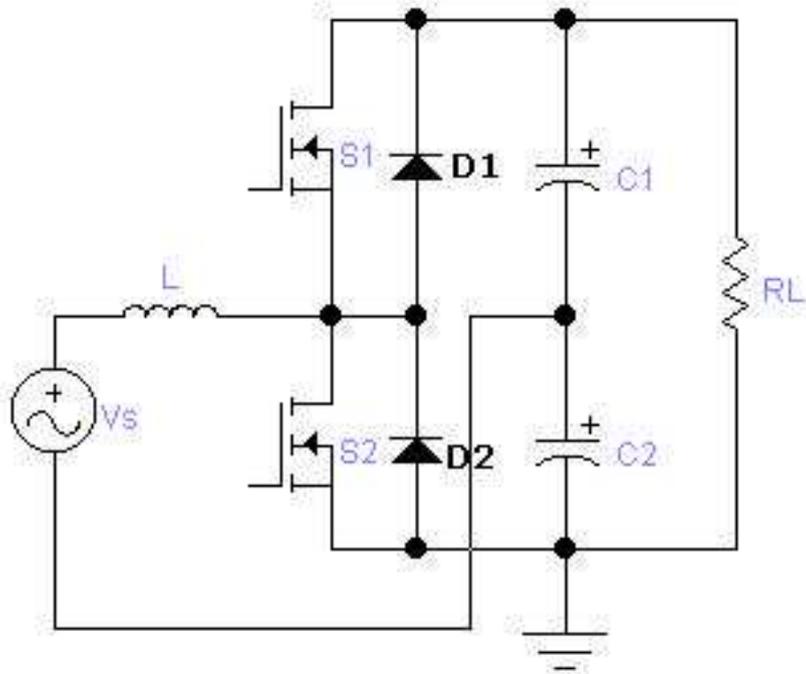


Fig.1.1: Retificador monofásico Dobrador de Tensão tipo Boost PWM.

Os objetivos deste trabalho são:

- a) A montagem de um protótipo experimental;
- b) A análise comparativa de desempenho do conversor projetado quanto à qualidade de energia em relação ao desempenho de um retificador monofásico convencional (Fig.1.2).

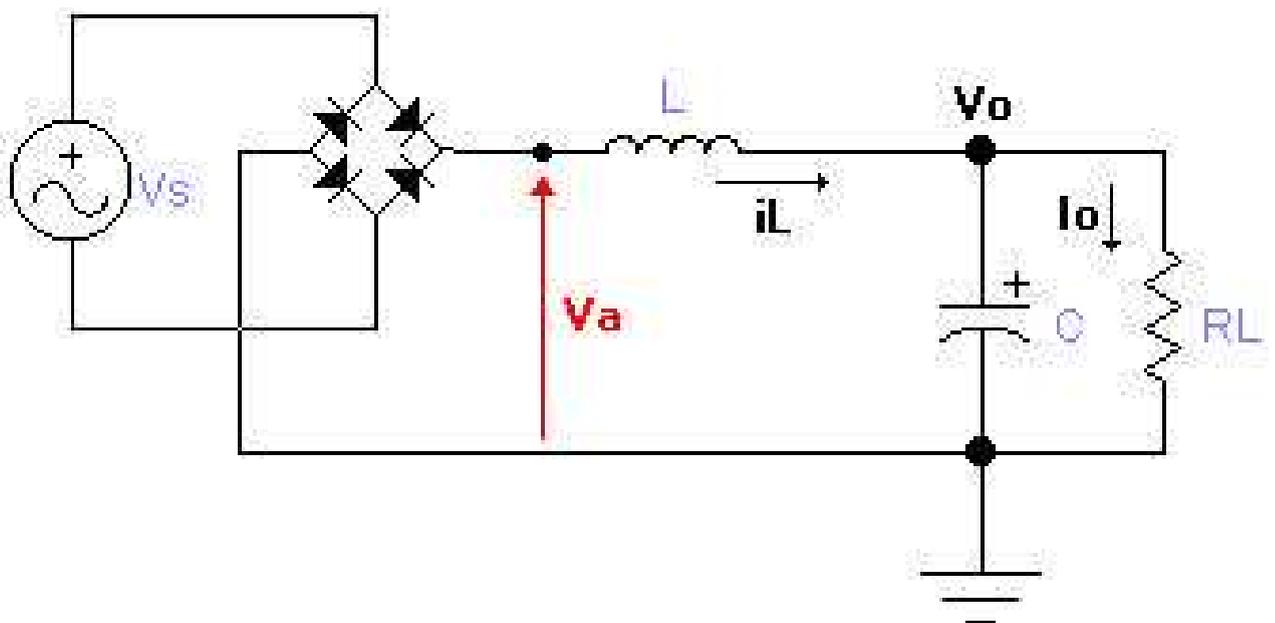


Fig.1.2: Retificador monofásico em ponte completa com filtro LC.

1.2) Metodologia

A metodologia utilizada neste trabalho é a seguinte:

- Modelagem e simulação digital de circuitos, usando os programas disponíveis no laboratório de engenharia elétrica da UERJ;
- Identificação, projeto e testes experimentais de circuitos eletrônicos para a realização de experimentos em bancada;
- Análise dos resultados experimentais e de simulações digitais.

2) Retificadores monofásicos a diodos

Nesta seção será apresentada uma análise de desempenho de algumas topologias convencionais de retificadores monofásicos a diodo.

Esta análise é baseada em resultados obtidos por programas de simulação (Pspice, Psim 6.0), os quais permitem analisar os parâmetros de qualidade de energia THD% e FP.

A Fig.2.1 mostra as topologias consideradas para análise.

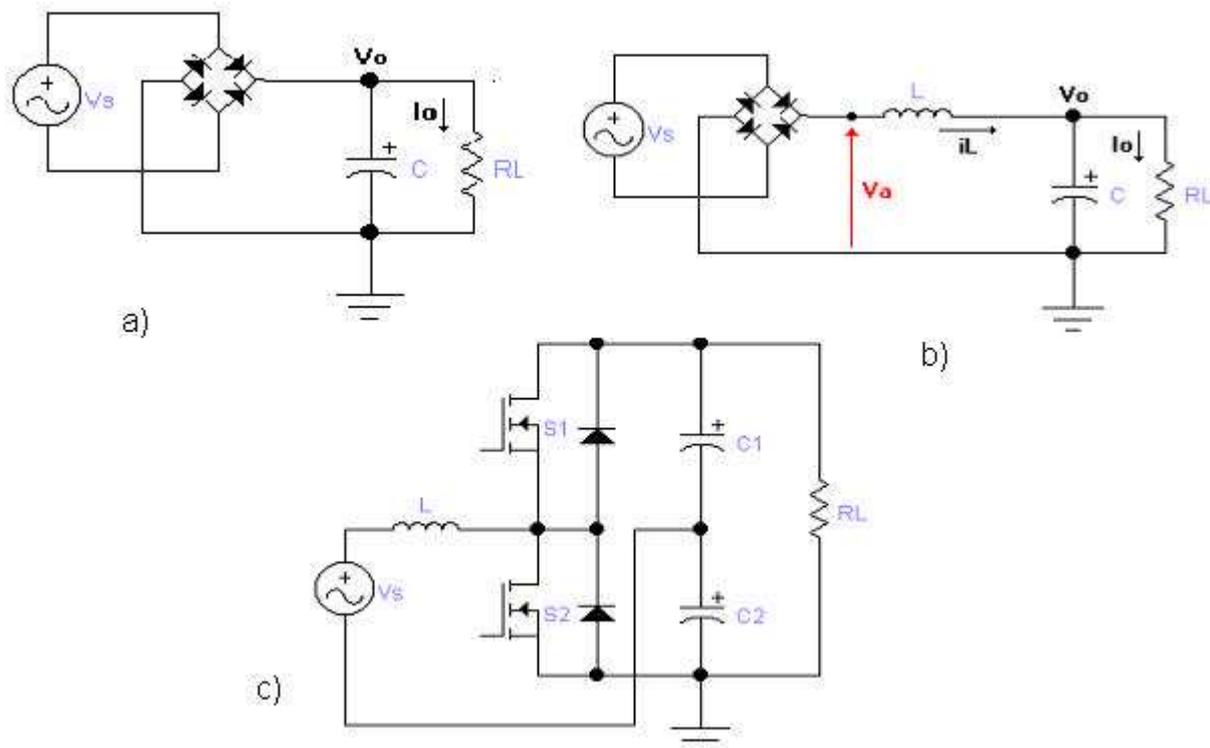


Fig.2.1: Topologias convencionais de retificadores monofásicos a diodo: (a) retificador em ponte com filtro capacitivo; (b) retificador em ponte com filtro LC; (c) retificador dobrador de tensão.

2.1) Retificador monofásico em ponte com filtro capacitivo

A Fig. 2.2 mostra uma topologia de retificador monofásico muito utilizada em circuitos de pequena potência, caracterizado pelo uso de uma ponte retificadora de onda completa com filtro capacitivo. Estes retificadores omitem o uso do indutor de filtro e possuem apenas o objetivo de retificar a tensão senoidal de entrada, fornecendo

como saída uma tensão contínua, não regulada, que servirá para alimentar circuitos eletrônicos conectados ao mesmo

Algumas características deste tipo de topologia de retificador tais como THDi% e fator de potência (FP) serão analisados em simulações.

A especificação do capacitor de filtro será realizado na secção 2.2, onde é analisado o retificador com filtro LC.

Considerou-se os seguintes parâmetros:

Potência de saída = 1kW;

Tensão de entrada (V_s)=220 Vrms;

$C=1320 \mu\text{F}$;

$R= 90 \text{ ohms}$.

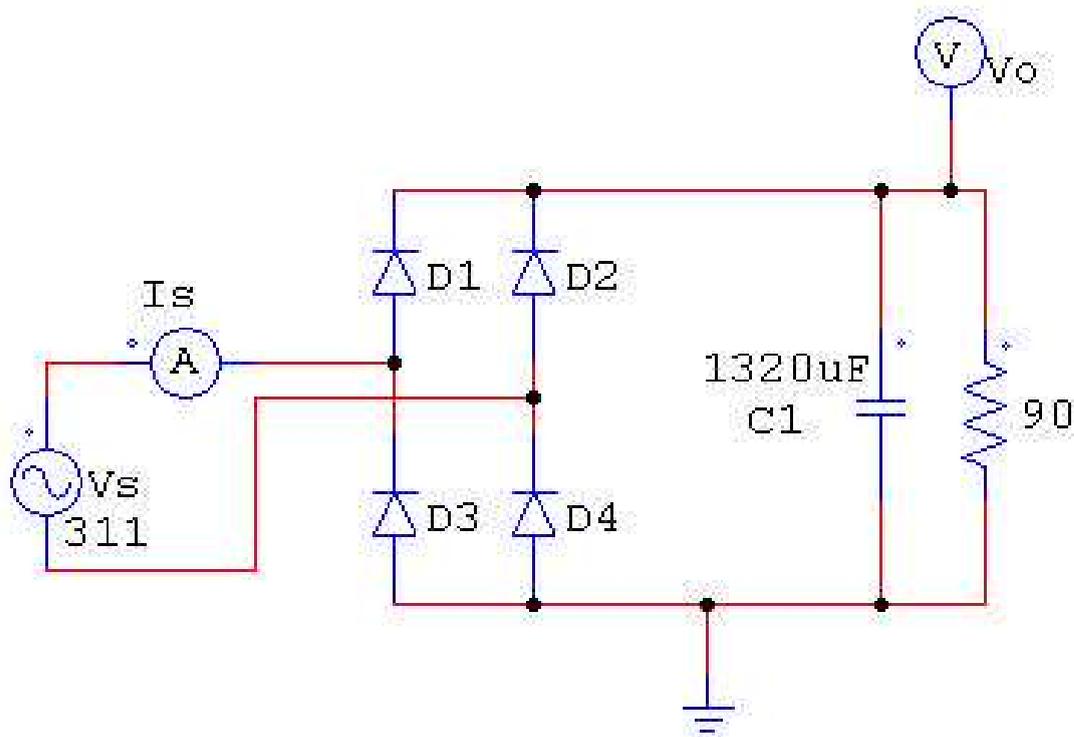


Fig.2.2: Topologia do retificador com filtro capacitivo.

A Fig.2.3 apresenta as formas de onda da tensão V_s e da corrente de entrada I_s , e da tensão de saída V_o , obtidas com o programa Psim 6.0. A Fig.2.4 e a Tabela 2.1 mostram o resultado da análise de Fourier da corrente I_s . Nota-se que as componentes de Fourier são compostas basicamente por harmônicos ímpares.

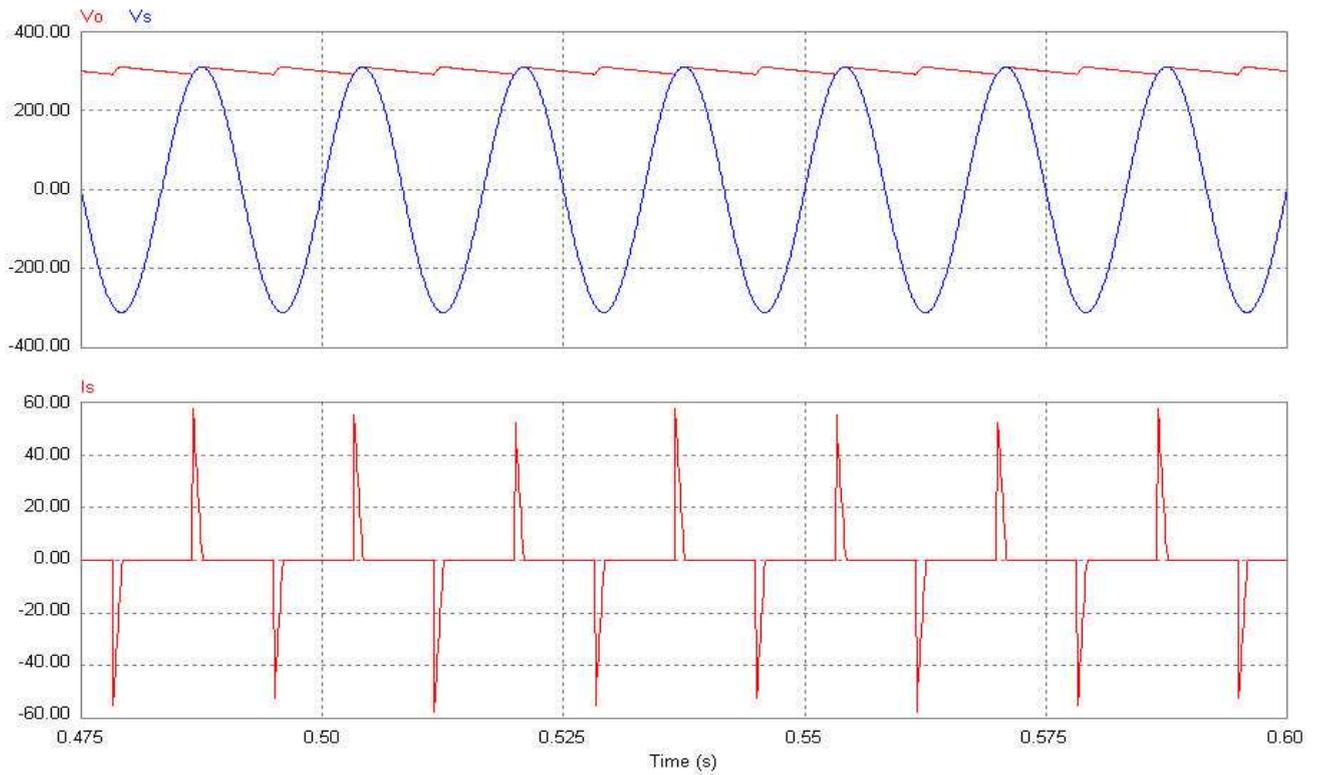


Fig.2.3: Formas de onda do retificador monofásico com filtro capacitivo.

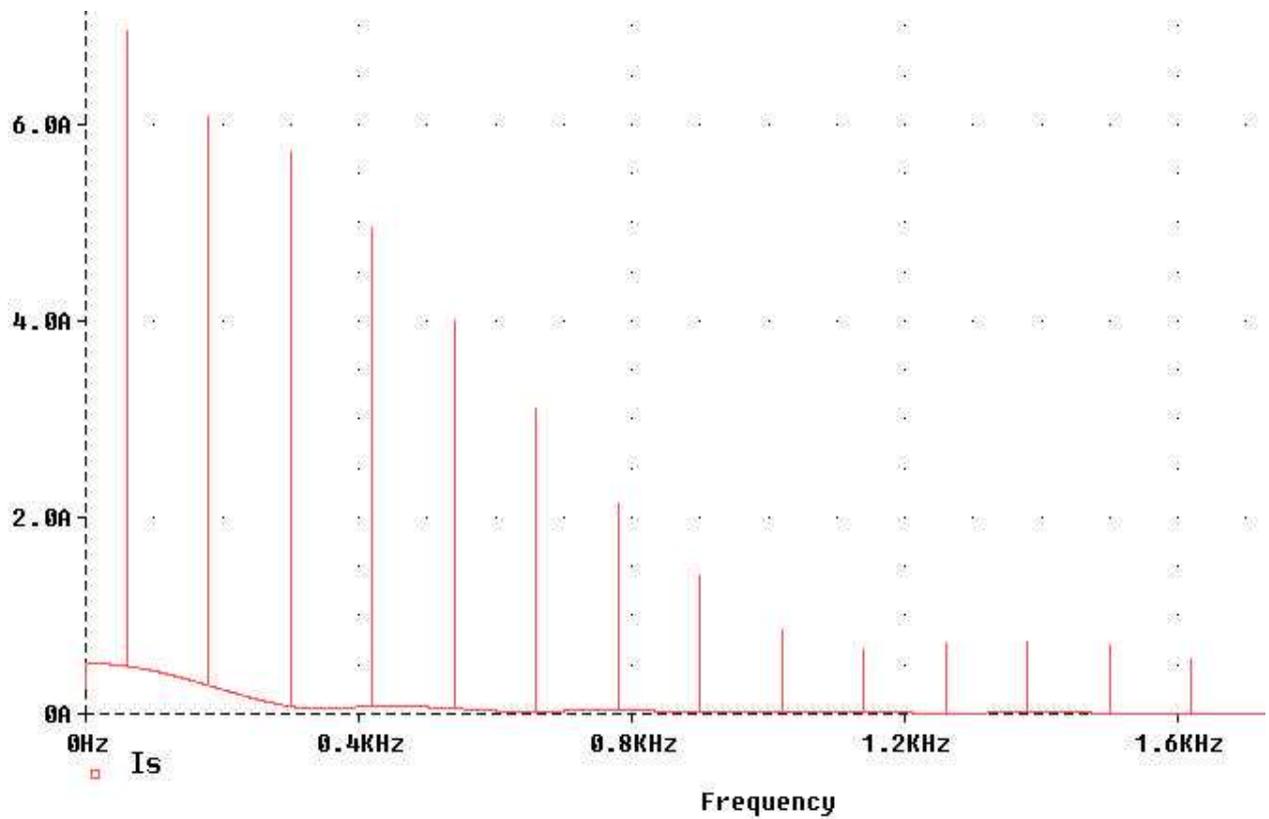


Fig.2.4: Componentes de Fourier da corrente na fonte (I_s) do retificador com filtro capacitivo.

Tabela 2.1: Harmônicos da corrente na fonte(Is) com filtro capacitivo.

Harmônico	Freq.(Hz)	Módulo(A)	FASE(Graus)
1	6.000E+01	6.591E+00	-1.714E+02
2	1.200E+02	6.344E-04	4.517E+00
3	1.800E+02	6.295E+00	2.596E+01
4	2.400E+02	1.133E-03	-1.425E+02
5	3.000E+02	5.733E+00	-1.365E+02
6	3.600E+02	1.490E-03	6.540E+01
7	4.200E+02	4.961E+00	6.159E+01
8	4.800E+02	1.664E-03	-8.672E+01
9	5.400E+02	4.053E+00	-9.954E+01
10	6.000E+02	1.656E-03	1.232E+02
THDi = 173.66%			

A partir dos resultados da Tabela 2.1, fornecidos pelo Pspice, obtém-se o Fator de Potência por [3]:

$$FP = \frac{\cos\phi_1}{\sqrt{1+THDi\%}} \quad (2.1)$$

onde $\cos\phi_1$ é o ângulo da fundamental, mostrado na Tabela 2.1 e $THDi\%$ é a distorção harmônica total da corrente de entrada (**Is**), obtidos na simulação com o Pspice .

$$\frac{\cos(171.4)^0}{\sqrt{1+(1.74)^2}} = 0.49 \text{ em atraso}$$

Nesta topologia a corrente de entrada apresenta picos de estreita duração (Fig.2.3), que surgem devido à carga do capacitor, durante a condução dos diodos.

Pode ser observado que o índice de harmônicos (THDi%) nesta topologia é grande, bem como seu baixo fator potência (FP), fatores estes que inviabiliza o uso desta topologia em altas potências e demonstra a precariedade desta configuração no que diz respeito à qualidade de energia.

2.2) Retificador monofásico em ponte com filtro LC

Nesta seção é descrito um procedimento de projeto do filtro LC para o caso da topologia monofásica em ponte completa (Fig.2.5).

Neste tipo de retificador é adicionado um indutor de filtro afim de reduzir o conteúdo de harmônicos da corrente de entrada, fator este que melhorará o THDi% e o FP.

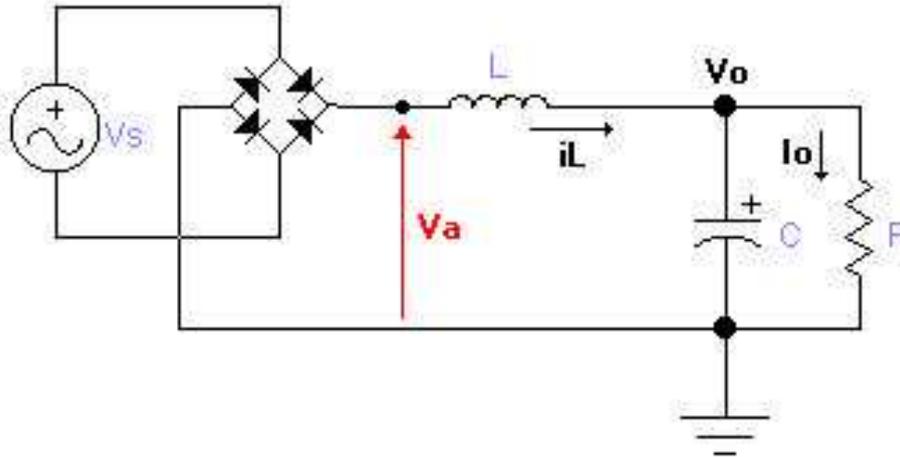


Fig.2.5: Retificador monofásico em ponte completa com filtro LC.

Considera-se que a tensão de entrada V_s do retificador é igual a $\sqrt{2}V\sin(\omega t)$.

A Fig.2.6 representa a tensão V_s e a forma da tensão retificada (V_a), com amplitudes em p.u.(per unit).

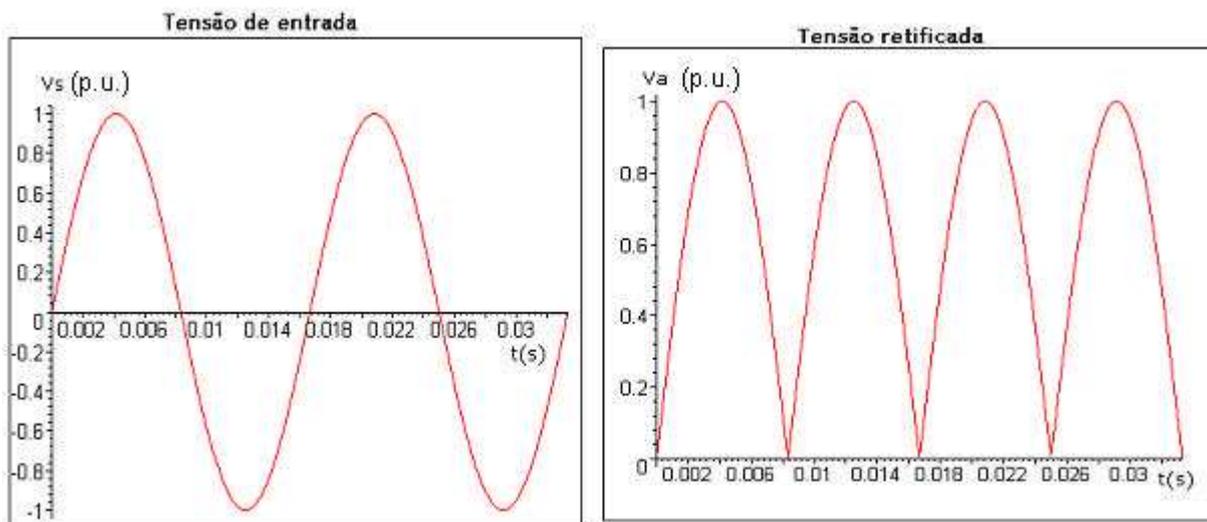


Fig.2.6: Formas de onda do retificador em ponte completa com filtro LC.

A série de Fourier da tensão retificada (Fig.2.6) em onda completa pode ser aproximada por [5]:

$$v_o = 2 \frac{V_m}{\pi} - \frac{4}{3} \frac{V_m \cos(2\omega t)}{\pi} - \frac{4}{15} \frac{V_m \cos(4\omega t)}{\pi} - \frac{4}{35} \frac{V_m \cos(6\omega t)}{\pi} \quad (2.2)$$

onde V_m é igual a $\sqrt{2}V$, e a tensão média de saída V_o é igual a $\frac{2V_m}{\pi}$.

Desprezando-se a influência da carga, das perdas e da impedância do capacitor, a corrente i_L no indutor pode ser aproximadamente representada por:

$$i_L = 2 \frac{V_m}{R\pi} - \frac{4}{3} \frac{V_m \cos(2\omega t - \phi_2)}{\pi |Z_2|} - \frac{4}{15} \frac{V_m \cos(4\omega t - \phi_4)}{\pi |Z_4|} - \frac{4}{35} \frac{V_m \cos(6\omega t - \phi_6)}{\pi |Z_6|} \quad (2.3)$$

sendo:

$$|Z_n| \approx n\omega L$$

$$\phi_n \approx 90^\circ.$$

Onde $i_{L,n}$ é o valor de pico da n -ésima componente harmônica, e Z_n e ϕ_n são respectivamente a impedância e o ângulo de deslocamento para o n -ésimo harmônico.

Para o dimensionamento do filtro assumiu-se que i_L é representada pela componente média $I_o = \frac{V_o}{R}$ e pelo harmônico dominante $i_{L,2}$, de forma que:

$$i_L = 2 \frac{V_m}{R\pi} - \frac{4}{3} \frac{V_m \cos(2\omega t - \phi_2)}{\pi |Z_2|} \quad (2.4)$$

Onde a 2ª componente então é:

Onde:

$$|Z_2| = 2\omega L$$

A Fig.2.7 mostra i_L no limite da condução contínua de corrente, onde I_o e $i_{L,2,max}$ são iguais, de modo que:

$$\frac{2V_m}{\pi R} = \frac{4V_m}{6\pi\omega L} \quad (2.5)$$

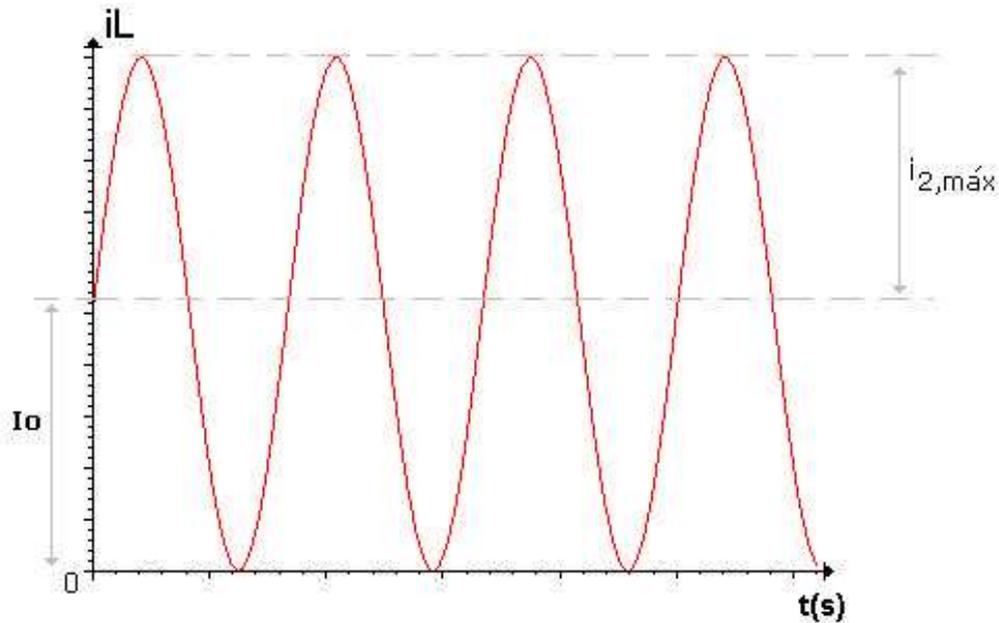


Fig.2.7: Corrente no indutor no limiar da condução contínua de corrente.

Portanto tem-se que:

$$L = \frac{R}{3\omega} \quad (2.6)$$

é a indutância crítica L_c . Desta forma, se $L > L_c$, obtém-se i_L com condução contínua de corrente.

Uma vez que $i_{2,Max}$ flui pelo capacitor, define-se que:

$$\Delta V_o = \frac{i_{2,max}}{2\omega C} \quad (2.7)$$

e

$$RFv\% = \frac{\Delta V_o}{V_o} \quad (2.8)$$

onde $RFv\%$ é o fator de ripple.

A partir de (2.4), (2.7) e (2.8) obtém-se :

$$RFv\% = \frac{\sqrt{2}}{12\omega^2 LC} \quad (2.9)$$

Como exemplo de projeto, consideram-se as seguintes especificações:

Potência de saída = 1kW;

RFv% =1%

Tensão de entrada (V_s)=220 Vrms/60 Hz

Através de (2.6) e (2.9) calcula-se aos seguintes valores:

$L_c = 79,6 \text{ mH}$;

$R=90 \text{ ohms}$;

$C=1042 \mu\text{F}$.

Onde o capacitor foi aproximado para $C=1320 \mu\text{F}$, por ser uma associação em paralelo de 4 capacitores de valor comercial igual a $330 \mu\text{F}$.

A Fig.2.8 mostra o modelo do circuito usado nas simulações com $L=L_c$, e a Fig.2.9 apresenta as respectivas formas de onda. A Fig.2.10 e a Tabela 2.2 mostram o resultado da análise de Fourier da corrente de entrada I_s .

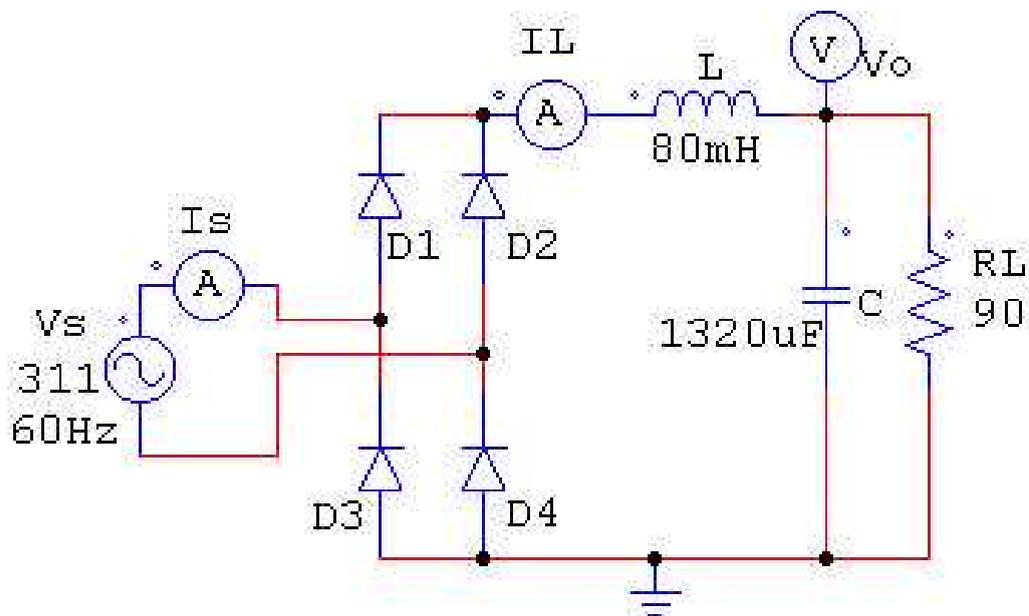


Fig.2.8: Retificador em ponte com filtro LC e $L=L_c$.

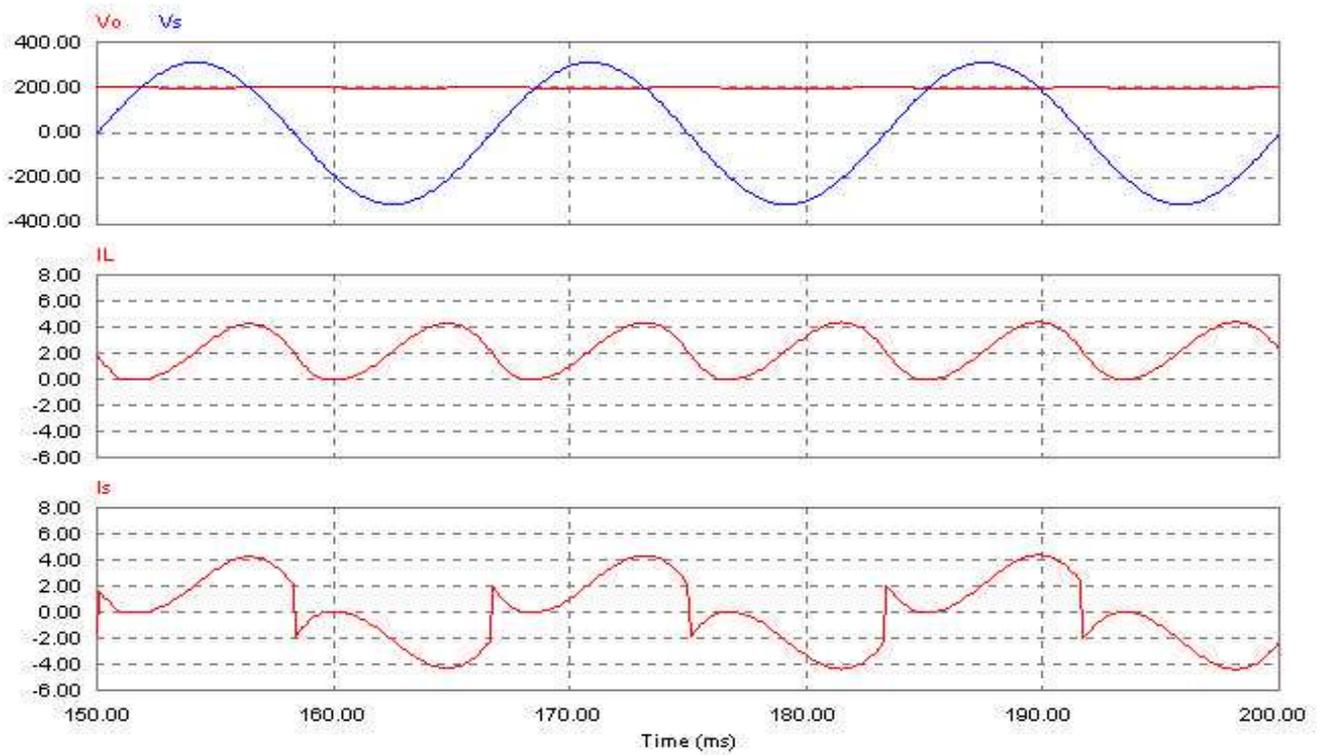


Fig.2.9: Formas de onda do retificador $L=L_c$.

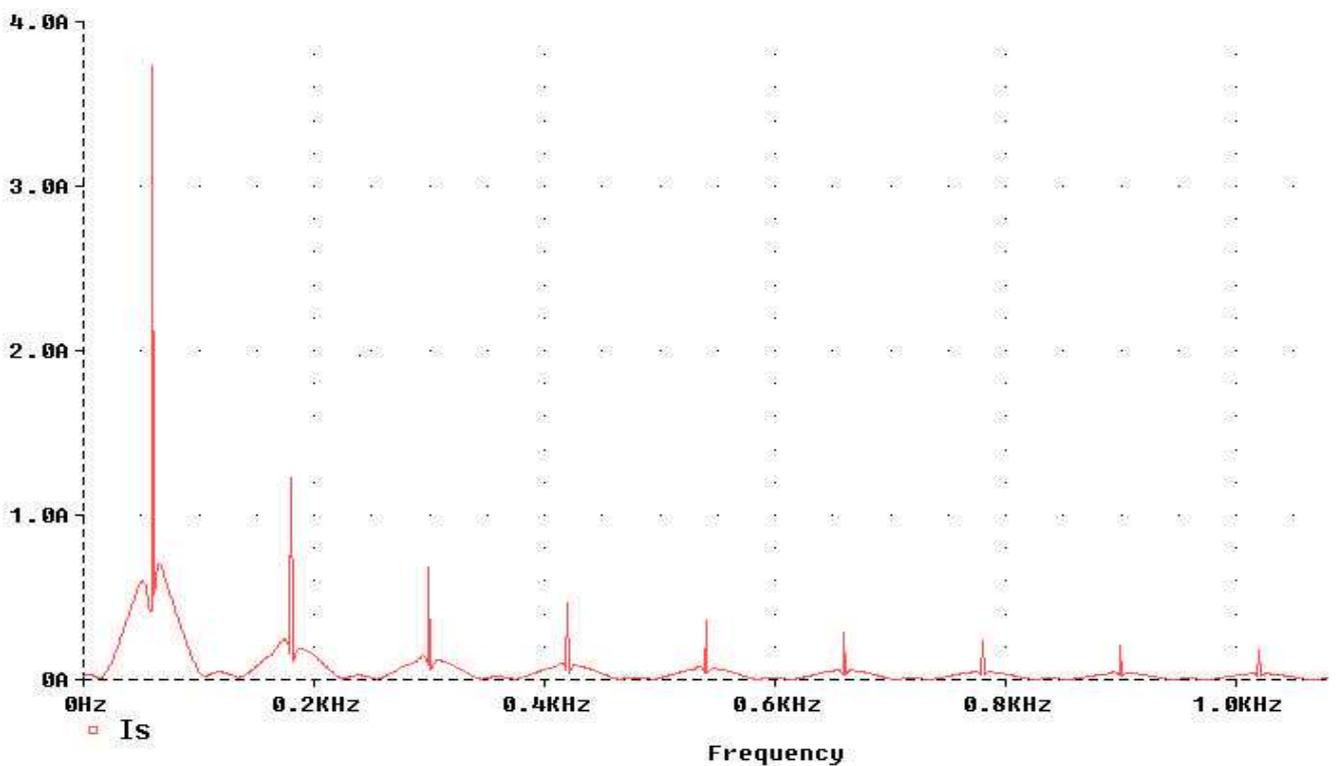


Fig.2.10: Componentes de Fourier da corrente na fonte (I_s) do retificador monofásico com $L=L_c$.

Tabela 2.2: Harmônicos da corrente na fonte(I_s) com $L=L_c$.

Harmônico	Freq.(Hz)	Módulo(A)	FASE(Graus)
1	6.000E+01	3.418E+00	1.444E+02
2	1.200E+02	8.118E-03	-9.036E+01
3	1.800E+02	1.309E+00	-1.347E+02
4	2.400E+02	8.142E-03	-9.063E+01
5	3.000E+02	6.418E-01	-1.488E+02
6	3.600E+02	8.164E-03	-9.090E+01
7	4.200E+02	4.308E-01	-1.567E+02
8	4.800E+02	8.157E-03	-9.112E+01
9	5.400E+02	3.276E-01	-1.622E+02
10	6.000E+02	8.172E-03	-9.156E+01
THDi = 47.35%			

A partir dos resultados da Tabela 2.2, e usando (2.1) obtêm-se o fator de potência igual a 0.734 em atraso.

Nota-se que houve uma redução do THDi% e melhoria do FP consideráveis, em relação ao caso com filtro capacitivo (Fig.2.2). Porém estes resultados foram obtidos com uso de um indutor de alto valor, o que na prática envolve considerações de tamanho, custo e perdas de energia. Por isto, considerou-se a simulação do retificador com L num valor reduzido ($L < L_c$). Adotou-se então $L=5\text{mH}$ por ser de mais fácil implementação.

As formas de onda da corrente de entrada I_s e da tensão de saída V_o para este caso ($L=5\text{mH}$) são mostrados na Fig.2.11 e os parâmetros considerados foram:

$L=5\text{mH}$; $R=90$; $C=1320\mu\text{F}$

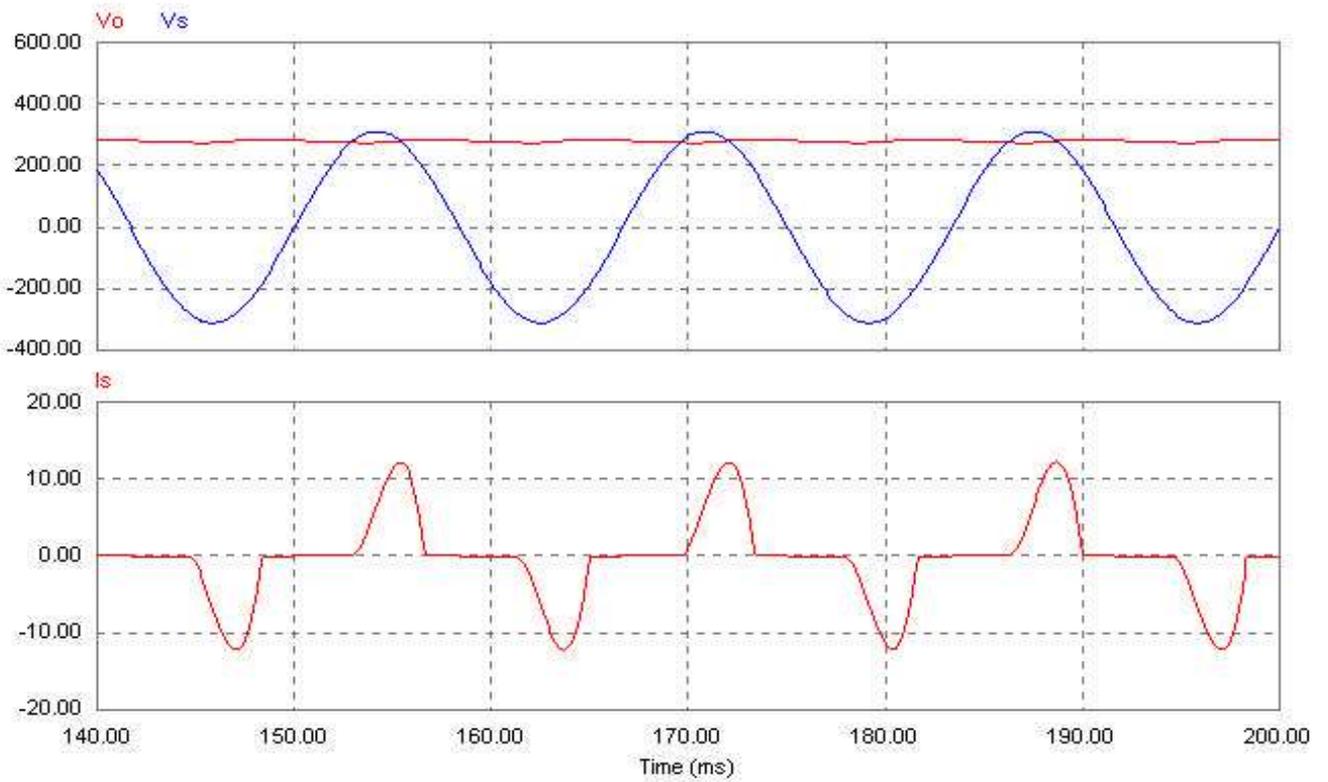


Fig.2.11: Formas de onda do retificador da Fig.2.8 com $L_{prático}$ ($L=5mH$).

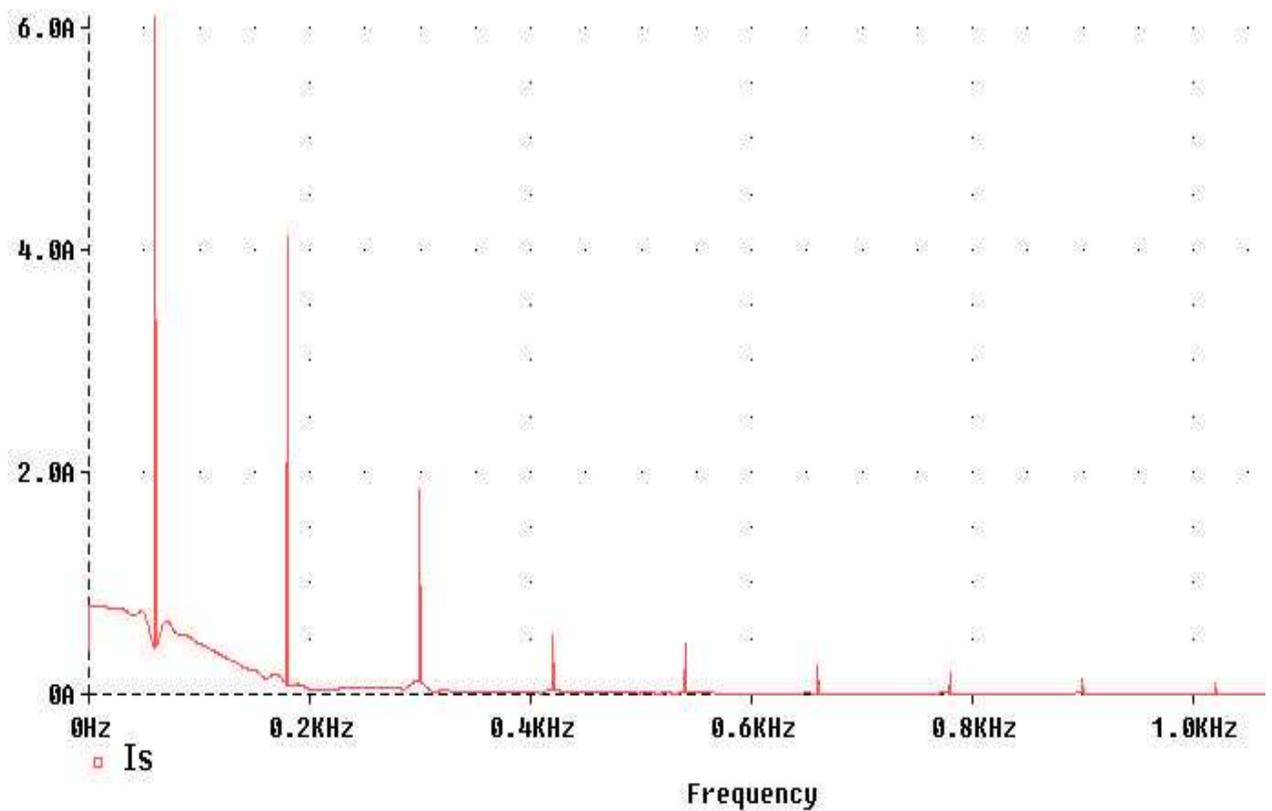


Fig.2.12: Componentes de Fourier da corrente na fonte (I_s) do retificador com $L=L_{prático}$.

Tabela 2.3: Harmônicos da corrente na fonte(is) com $L=L$ típico.

Harmônico	Freq.(Hz)	Módulo(A)	FASE(Graus)
1	6.000E+01	5.896E+00	1.595E+02
2	1.200E+02	7.492E-04	-9.600E+01
3	1.800E+02	4.193E+00	-6.319E+01
4	2.400E+02	4.985E-04	4.879E+01
5	3.000E+02	1.937E+00	6.598E+01
6	3.600E+02	1.866E-04	6.328E+01
7	4.200E+02	5.641E-01	1.516E+02
8	4.800E+02	5.610E-04	1.637E+02
9	5.400E+02	4.736E-01	-1.441E+02
10	6.000E+02	4.233E-04	-8.747E+01
THDi% = 79.62%			

Pela análise de Fourier (Fig.2.12 e Tabela 2.3) e por (2.1) obteve-se FP igual a 0.733 em atraso.

Verifica-se um aumento na tensão de saída com o uso de um valor de indutância menor valor que L_c . Porém o THDi% também aumentou, embora o FP seja praticamente o mesmo no caso “ideal” em que no caso onde $L=L_c$. Na verdade, sabe-se [3] que mesmo que L fosse infinitamente grande, os valores de THDi% e do FP seriam, respectivamente, iguais a 48.43% e 0.9.

Uma consideração importante a ser feita nesta topologia da Fig.2.8 é que o indutor, como é colocado no lado onde circulam correntes DC, existirá um sério problema de saturação do material magnético, caso exista, usado na construção do indutor, situação esta que faz com que o indutor perca suas propriedades.

2.3) Retificador monofásico dobrador de tensão

A topologia de retificador implementada neste trabalho e apresentado na Fig.1.1 reduz-se ao retificador dobrador de tensão, quando os transistores são desativados, conforme é mostrado na Fig.2.13. Neste circuito a tensão de saída será praticamente igual ao dobro da tensão de pico da fonte de entrada ($V_o=2V_m$), considerando que os capacitores C1 e C2 são grandes suficientes para que não haja ripple na tensão de saída. A cada semiciclo da tensão senoidal de entrada, um dos capacitores é carregado e, após um ciclo completo, a tensão de saída se apresentará com o valor $V_o=2V_m$.

Para o mesmo valor de potência do caso do retificador com filtro LC, e considerando a tensão de entrada (V_s) de 127 Vrms, os parâmetros do circuito são:

$L=5\text{mH}$;

$R=110\ \text{ohms}$;

$C=660\ \mu\text{F}$ (metade do valor usado na topologia com filtro LC).

As formas de onda deste circuito e a análise de Fourier da corrente na fonte (I_s) são apresentadas respectivamente nas Figs. 2.14, 2.15 e na Tabela 2.4. Através de (2.1) obtém-se FP igual a 0.811 em atraso.

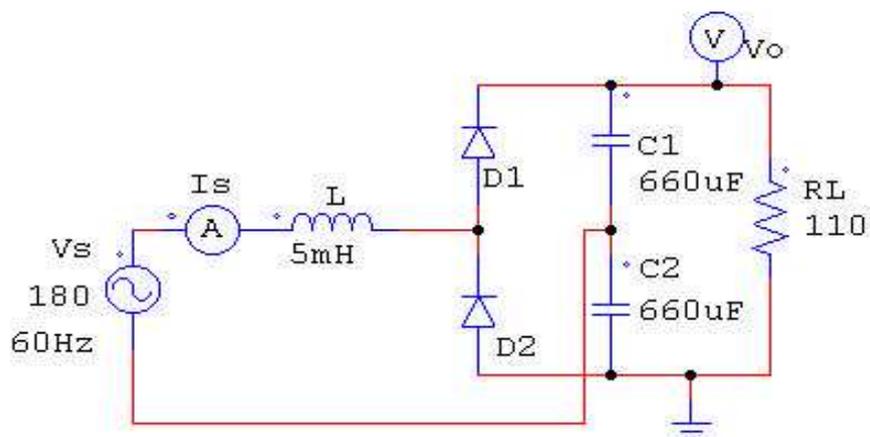


Fig.2.13: Retificador dobrador de tensão com o valor típico para L.

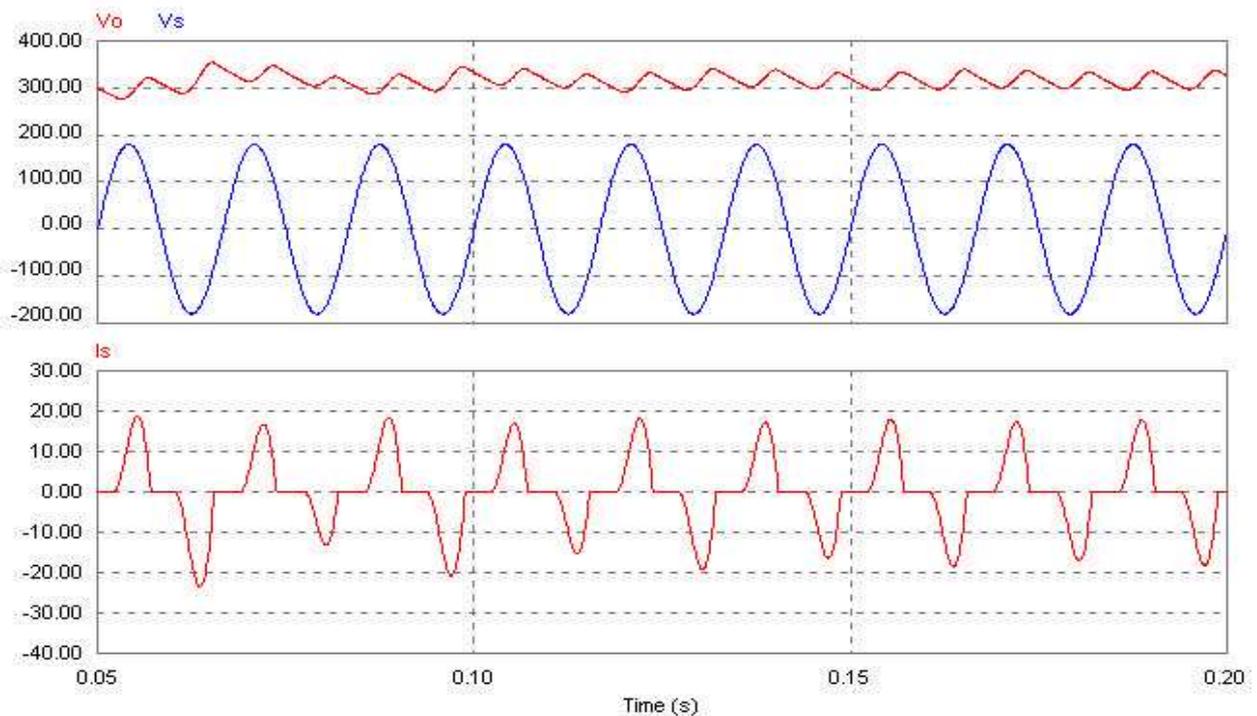


Fig.2.14: Simulação do retificador dobrador de tensão.

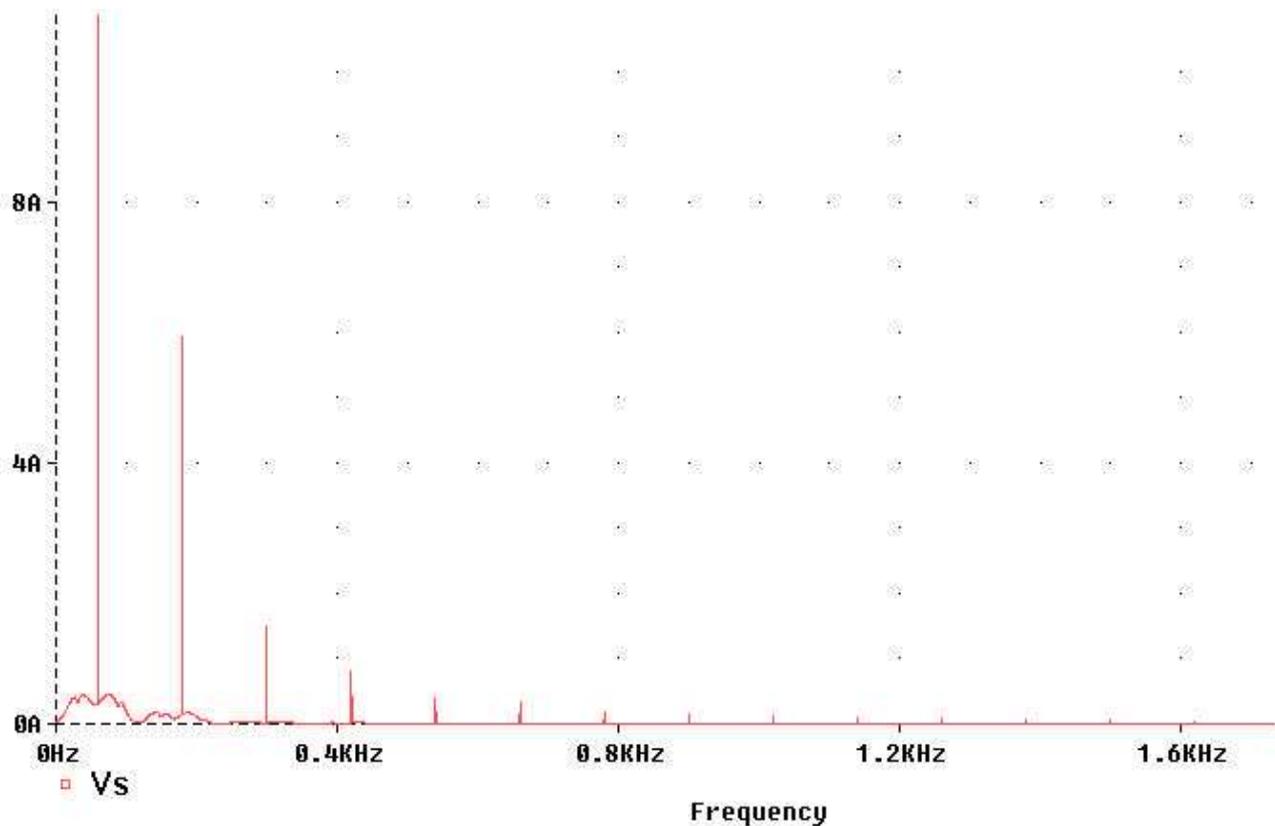


Fig.2.15: Componentes de Fourier da corrente na fonte (Is) do retificador Dobrador de tensão.

Tabela 2.4: Espectro da corrente na fonte (Is) do retificador dobrador de tensão.

Harmônico	Freq.(Hz)	Módulo(A)	FASE(Graus)
1	6.000E+01	1.062E+01	1.603E+02
2	1.200E+02	2.392E-03	9.298E+01
3	1.800E+02	5.994E+00	-6.264E+01
4	2.400E+02	6.838E-04	-1.190E+02
5	3.000E+02	1.472E+00	4.627E+01
6	3.600E+02	8.517E-04	-1.154E+02
7	4.200E+02	8.149E-01	8.242E+01
8	4.800E+02	3.917E-04	-1.534E+01
9	5.400E+02	3.790E-01	1.530E+02
10	6.000E+02	6.142E-04	1.218E+01
THDi% = 58.86%			

Nota-se que o valor do THDi% obtido com esta topologia é menor do que no caso da topologia com filtro LC, com $L < L_c$. ($L=5\text{mH}$).

Uma consideração importante a ser feita é que na topologia Dobradora de Tensão (Fig.2.13), como o indutor está colocado no lado AC da entrada, só se preocupa com valores eficazes da corrente, não existindo correntes DC, que podem causar problemas de saturação do material magnético usado no núcleo dos indutores,

caso possua. Esta saturação deve sempre ser evitada, na prática, pois caso ocorra fará com que o indutor perca suas propriedades e passe a irradiar campo eletromagnético, de maneira demasiada. Esta é uma outra vantagem, dentre as demais mencionadas, que se evidencia nesta topologia.

Na Fig.2.14 também pode ser percebido que esta topologia possui um valor médio de tensão na saída muito maior do que o circuito monofásico em ponte (Fig.2.8).

2.4) Conclusão

Para facilitar a comparação das topologias apresentadas neste capítulo, a Tabela 2.5 mostra um resumo dos resultados de simulação.

Tabela 2.5: Sumário das simulações.

Topologia	Vs(rms)	THDi%	FP	Vdc	Pot(w)
Filtro capacitivo	220	173.66	0.49	300	1000
Filtro LC(L=Lc)	220	47.35	0.734	210	500
Filtro LC(L=valor prático)	220	79.62	0.733	270	810
Dobradora de tensão	127	58.86	0.811	310	880

Pode ser verificado pela Tabela 2.5 que o uso do filtro LC, no retificador em ponte, melhora os parâmetros de qualidade de energia em relação à topologia com filtro capacitivo. Porém na topologia dobradora de tensão o uso de um indutor de valor prático (L=5mH) resultou em melhores resultados, comparado com a topologia com filtro LC pois nesta topologia, mesmo que a filtragem de corrente fosse ideal (L infinito) os limites de desempenho para a distorção harmônica total da corrente da fonte (THDi%) e para o fator de potência (FP) seriam 48.43% e 0.9, respectivamente [3].

Considerando níveis de potência típicos de aplicações industriais, acima de centenas de watts, a melhoria dos resultados é obtida com o uso de elementos passivos de maior tamanho, com maiores perdas e de difícil construção, como ocorre no caso de indutores, mostrando que para estes casos não é aconselhável o uso de filtros passivos, necessitando, portanto, o uso de técnicas que proporcione a melhoria na qualidade de energia.

Atualmente existem agências internacionais que estabelecem limites para a injeção de corrente harmônica na rede de energia elétrica. De acordo com a norma IEEE-519 [3], por exemplo, os níveis de THDi% aceitáveis para a faixa de potência

considerada nas simulações é da ordem de 10%, níveis estes que não foram atingidos por nenhuma topologia analisada até o momento.

Portanto é importante o estudo de topologias de retificadores que proporcionem a redução do THDi%, a melhoria da qualidade de energia e que possam ser aplicados em faixas de potências para aplicações industriais. Isto justifica o retificador dobrador de tensão Boost PWM como foco deste trabalho.

3) Retificador monofásico dobrador tipo Boost PWM com controle do fator de potência (FP)

O objetivo deste capítulo é a apresentação dos conceitos fundamentais para a obtenção do fator de potência unitário, com o uso do retificador dobrador tipo Boost PWM (Fig.1.1).

A Fig.3.1 mostra um diagrama representativo da idéia genérica utilizada em várias topologias de retificadores chaveados tipo Boost. Neste modelo, R é a resistência parasita do indutor e o conversor CA-CC chaveado é composto por chaves controladas semicondutoras (transistores, IGBTs ou Mosfets), diodos e capacitores.

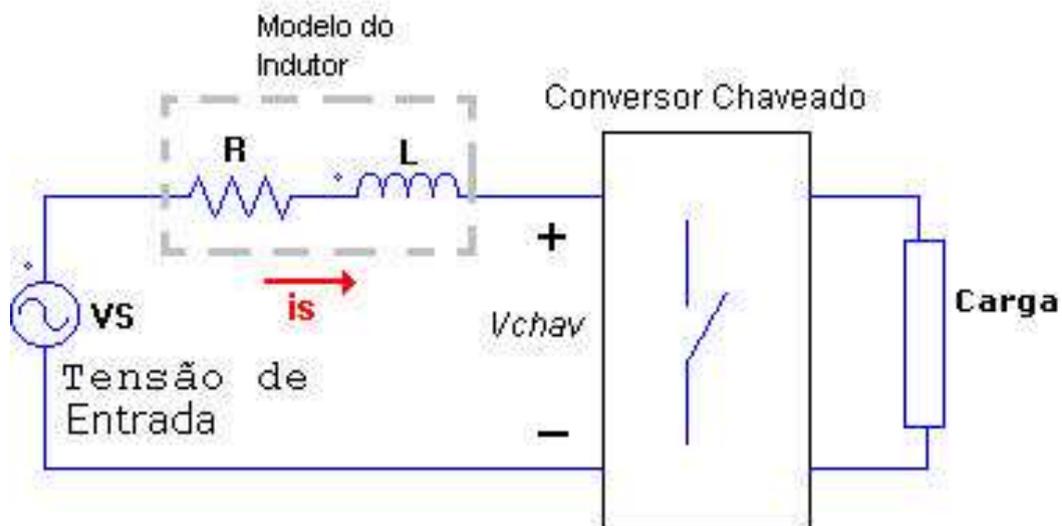


Fig.3.1: Diagrama básico do conversor CA-CC com controle de fator de potência.

Nesta figura considerou-se que o conversor é chaveado em alta frequência por uma técnica PWM de tal forma que gera uma tensão V_{chav} à sua entrada, conforme mostra o circuito simplificado da Fig.3.2.

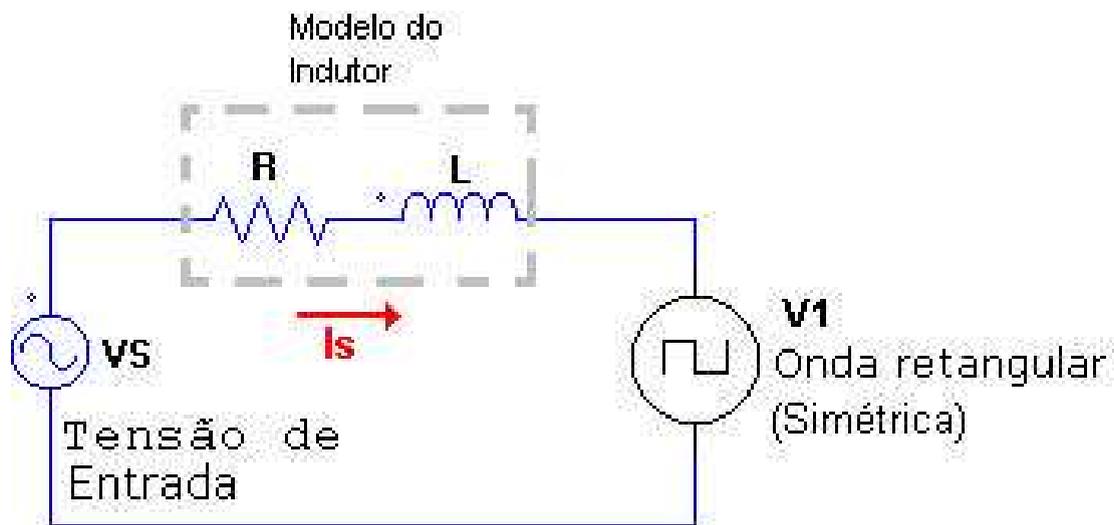


Fig.3.2: Circuito equivalente para o conversor chaveado.

A estratégia de chaveamento deve proporcionar uma componente fundamental V_1 em V_{chav} , na mesma frequência da fonte V_s , e com um ângulo de deslocamento θ_1 que permita que a corrente da fonte I_s esteja em fase com V_s . Neste caso é obtido um Fator de Potência (FP) unitário.

A Fig.3.3 apresenta o circuito equivalente na frequência fundamental, onde a corrente fundamental deste circuito (I_s) é dada pela equação (3.1).

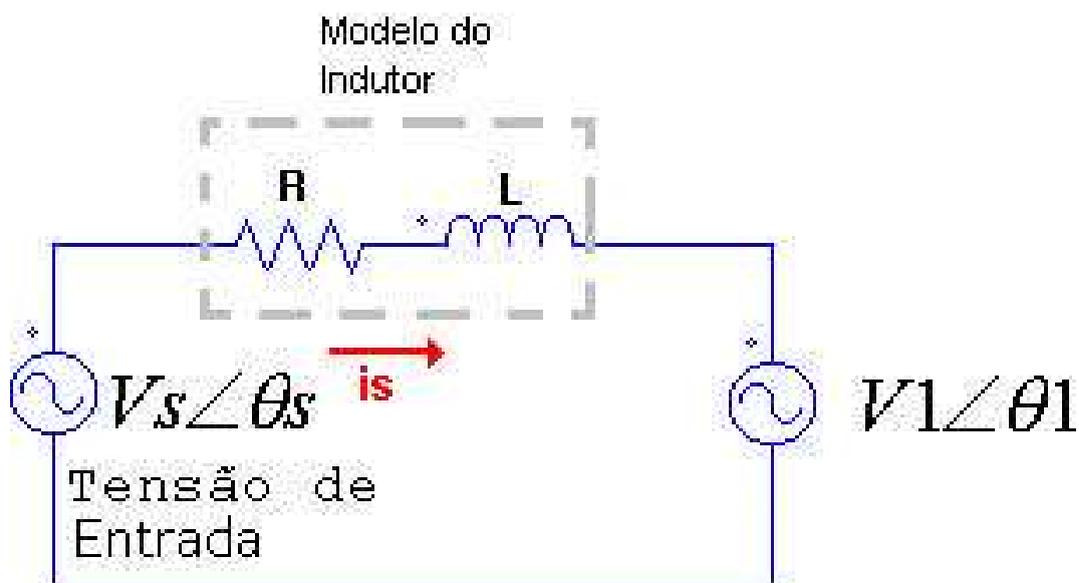


Fig.3.3: Circuito equivalente na frequência fundamental.

$$I_s = \frac{(V_s \angle \theta_s) - (V_1 \angle \theta_1)}{|Z| \angle \theta} \quad (3.1)$$

A equação (3.1) mostra que, considerando como referência o ângulo de V_s ($\theta_s=0$), é possível controlar a amplitude e a fase da corrente i_s mediante a tensão $V_1 \angle \theta_1$, e portanto obter-se a correção do fator de potência.

Neste circuito a tensão V_{chav} é obtida conforme o esquema visto na Fig.3.4, onde V_+ e V_- representam as tensões nos capacitores.

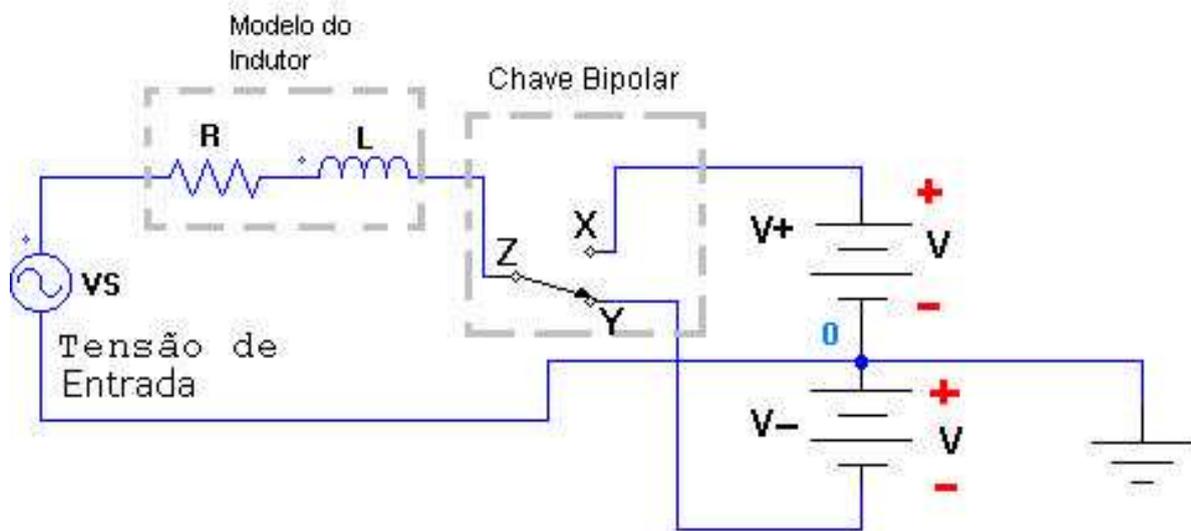


Fig.3.4: Implementação da onda quadrada para a obtenção da componente fundamental V_1 .

No esquema da Fig.3.4 é usada uma chave bipolar, a qual comuta entre as duas posições X e Y . Com a existência das fontes V_+ e V_- pode-se observar que a tensão no terminal Z da chave é uma onda quadrada (sem nível DC) de amplitude em módulo igual a V , dada pelo valor das fontes V_+ e V_- , em relação ao ponto 0 , considerado como referencial.

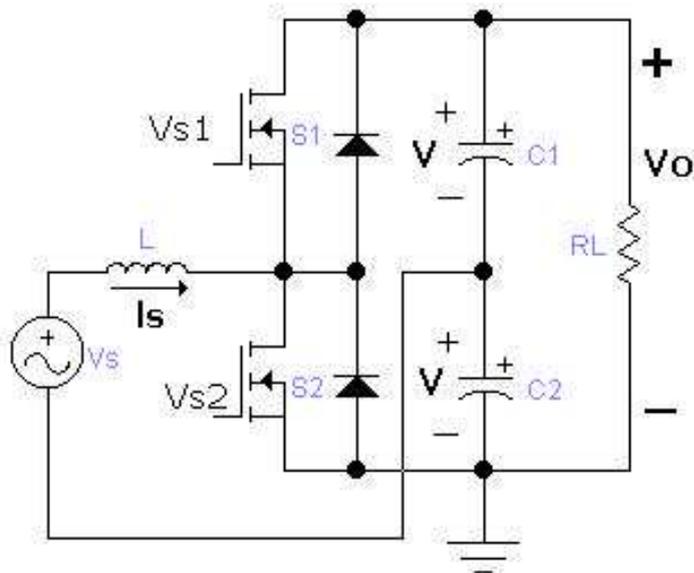
Neste projeto a chave bipolar é formada pelos mosfets S_1 e S_2 , onde apenas um deles é acionado de cada vez. As tensões V_+ e V_- são as tensões nos capacitores C_1 e C_2 do circuito mostrado na Fig.1.1.

É importante notar que a referência da fonte V_s está conectada ao ponto médio dos capacitores (ponto 0).

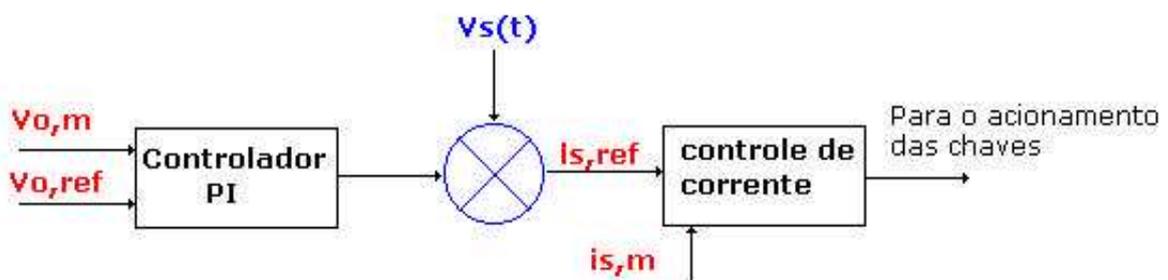
3.1) Funcionamento da estratégia de controle com fator de potência unitário.

Na Fig.3.5 é mostrado o Retificador Dobrador Boost PWM (a) e o diagrama em blocos do sistema de controle (b). Neste diagrama, $i_{s,ref}$ é a referência ou o valor desejado da corrente i_s . A referência i_s deve possuir a mesma forma senoidal da tensão da fonte V_s . Isto é realizado através do sinal de sincronismo senoidal, usualmente obtido através da medição da tensão de entrada V_s .

A amplitude da corrente i_s deve possuir um valor suficiente para manter a tensão de saída V_o no valor desejado de referência $V_{o,ref}$, mesmo durante variações de carga e flutuações da tensão de linha (V_s).



(a)



(b)

Fig.3.5: (a) Circuito retificador; (b) Diagrama em blocos do sistema de controle.

Considerando-se que o controle PWM é do tipo senoidal tem-se que a componente fundamental de **V_{chav}** é igual a [3]:

$$V1 = m_a V \quad (3.2)$$

onde m_a é o índice de modulação de amplitude ([3] seção 8-2-1).

Além disso, pelo circuito equivalente na Fig.3.3, obtém-se que ([3] seção 18-6-3):

$$V1 = [(V_s)^2 + (\omega L_s I_{s1})^2]^{1/2} \quad (3.3)$$

Como normalmente a frequência de chaveamento é alta, a indutância é de pequeno valor, pode-se considerar que:

$$V1 \approx V_s \quad (3.4)$$

Por (3.3) e (3.4) ocorre que **V** deve ser maior do que **V_s**, pois a tensão **V1** deverá ser da ordem de magnitude de **V_s** e para que a tensão **V1** produzida pelo chaveamento esteja na região linear do controle PWM (fora de saturação), o que equivale dizer $0 < m_a < 1$. Na prática, porém, deve-se operar no limite mínimo (**V = V_s**), para que não haja “stress” de tensão nas chaves ([3] seção 18-6-3).

Portanto, para que a estratégia de controle funcione deve-se inicialmente realizar a etapa de pré-carga dos capacitores C1 e C2. Isto é feito, na prática, com a conexão da fonte ao circuito, com o controle desativado. Desta forma os capacitores se carregam apenas através dos diodos. Este processo é mostrado na Fig.3.6, num exemplo de simulação.

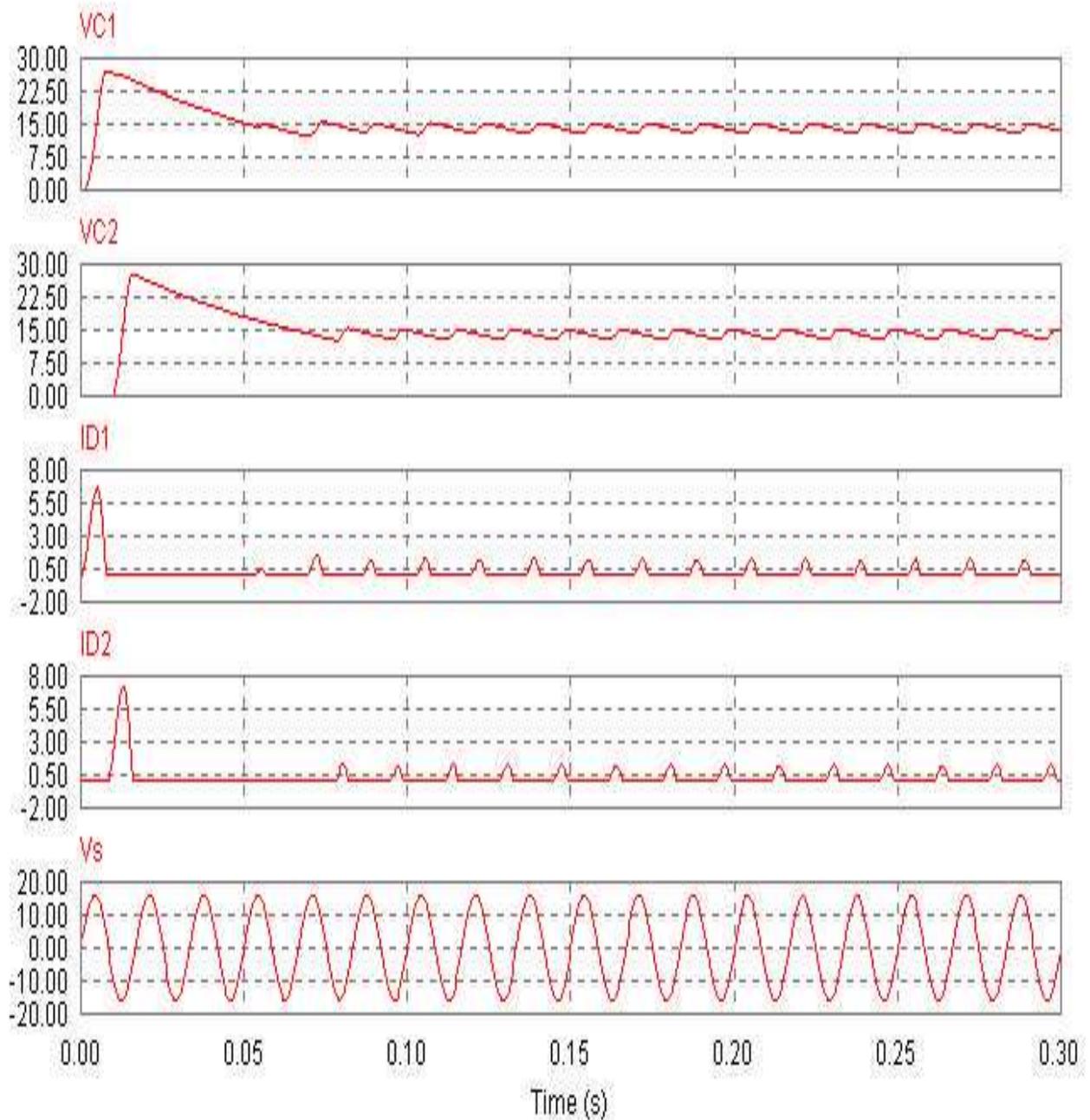


Fig.3.6: Etapa de pré-carga dos capacitores.

Durante esta etapa de pré-carga, bem como em todo o processo de funcionamento do conversor Boost, tem-se os seguintes sub-circuitos mostrados na Fig.3.7. Nesta figura é possível observar os dois sub-circuitos que surgem para cada semiciclo da tensão de entrada V_s e entender como esta topologia consegue fornecer à saída uma tensão que é o dobro do valor de pico da fonte de entrada (V_s).

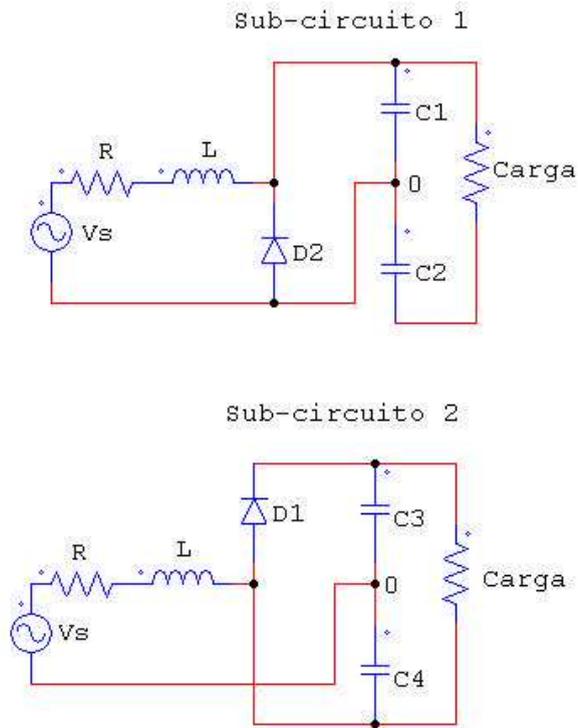


Fig.3.7: Sub-circuitos representativos do Retificador Dobrador Boost PWM.

Na Fig.3.8 é mostrado o resultado de uma simulação exemplo onde o controle, com a técnica usada neste estudo, foi ativado. Nesta figura pode ser observado o funcionamento desta técnica, onde a corrente i_s está em fase com a tensão da fonte V_s .

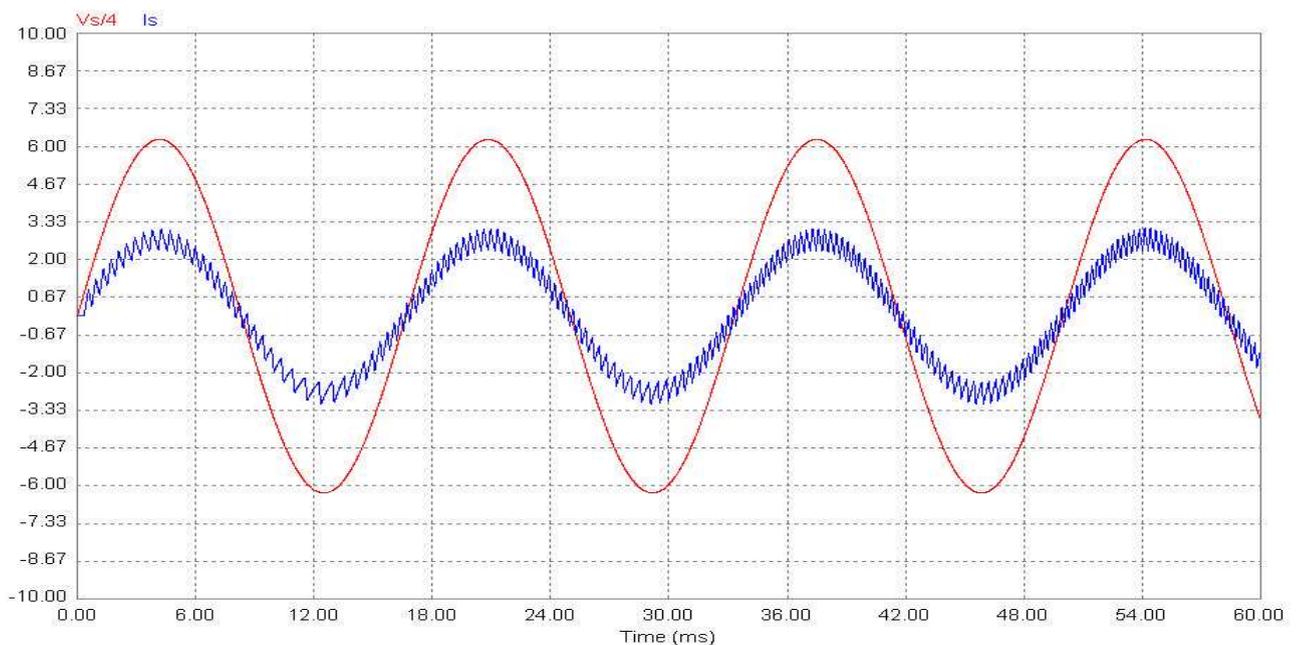


Fig.3.8: Resultados da técnica de correção do Fator de Potência.

Quando o controle está ativado, as chaves semicondutoras utilizadas são acionadas pelo controle em tempos diferentes, de tal forma que quando S1 está acionada, a amplitude da corrente i_s aumenta até atingir uma restrição superior imposta no controle (banda). Quando esta condição é atingida, a chave S1 é desativada e a chave S2 é ativada em seguida, produzindo uma redução do valor de i_s , até que atinja uma outra restrição inferior imposta pelo controle.

Este processo de acionamento e desligamento das chaves semicondutoras é mostrado na Fig.3.9. Nesta figura **Vchave_S1** representa o sinal de controle da chave S1 e **Vchave_S2** representa o sinal na chave S2.

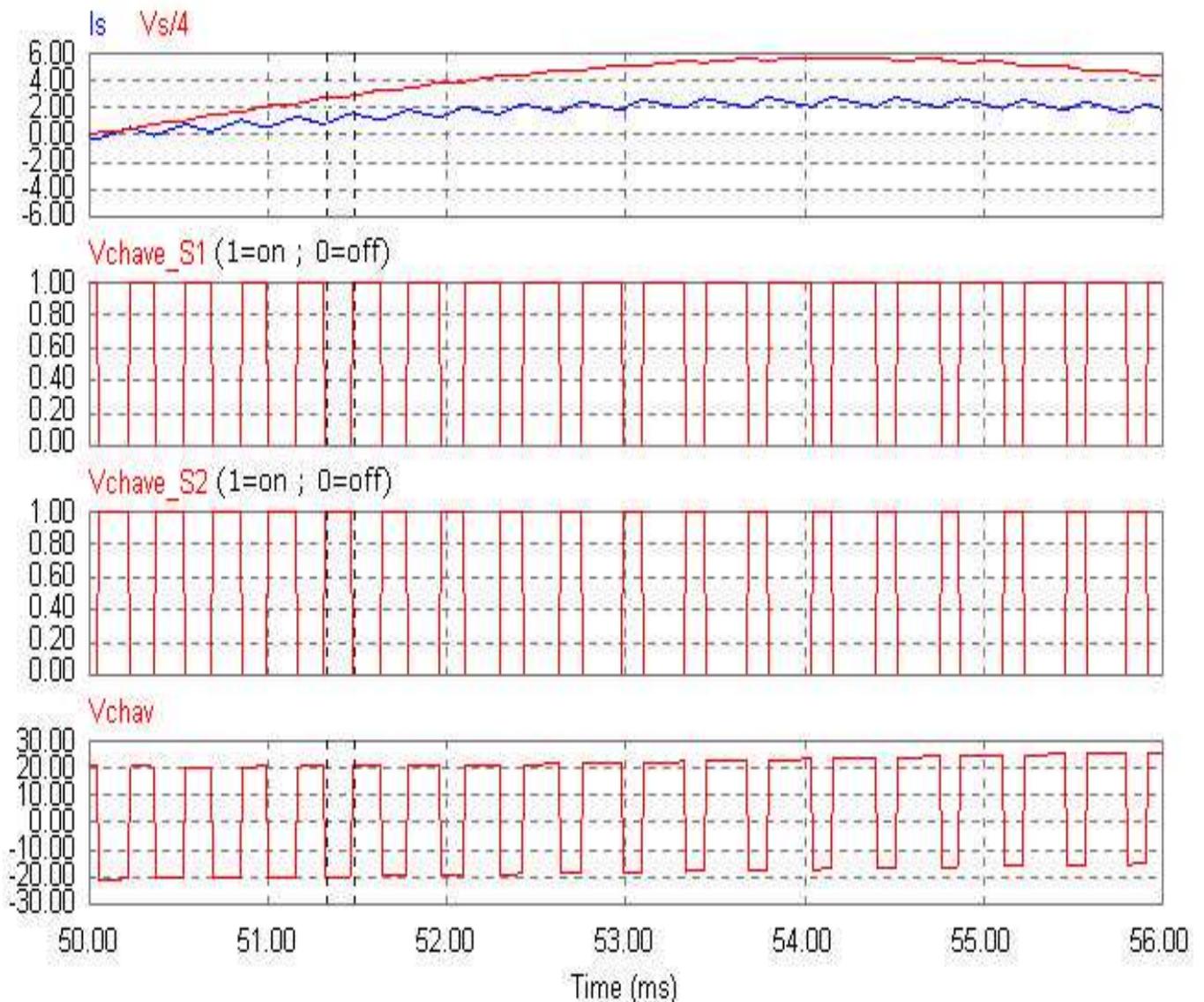


Fig.3.9: Processo de comutação das chaves semicondutoras.

A Fig.3.9 mostra também a tensão V_{chav} , descrita anteriormente na Fig.3.1, a qual possuirá como fundamental a mesma frequência da rede elétrica,

3.2) Configuração do sistema de controle

A Fig.3.10 mostra ao diagrama genérico do sistema de controle na configuração adotada neste trabalho. Esta configuração utiliza a técnica de chaveamento PWM pelo controle de corrente por banda de histerese [2], [4], também conhecida como controle “bang-bang”. O bloco **Vcomp** (Fig.3.10) representa o compensador de tensão de saída que pode ser do tipo proporcional (P), proporcional-integral (PI) ou proporcional-integral-derivativo. Os ganhos dos sensores de tensão e de corrente são representados por K_v e K_i , respectivamente. Porém neste trabalho omitiu-se o laço de controle de tensão e considerou-se apenas o laço de corrente. Desta forma, o sistema de controle é representado conforme mostra a Fig.3.11.

Esta omissão do laço de controle de tensão se deu pelo fato de que este trabalho teve como foco o estudo de uma técnica de controle de corrente(por banda de histerese), que poderia ser verificada apenas com o uso da malha de controle de corrente, facilitando também a montagem de um protótipo experimental.

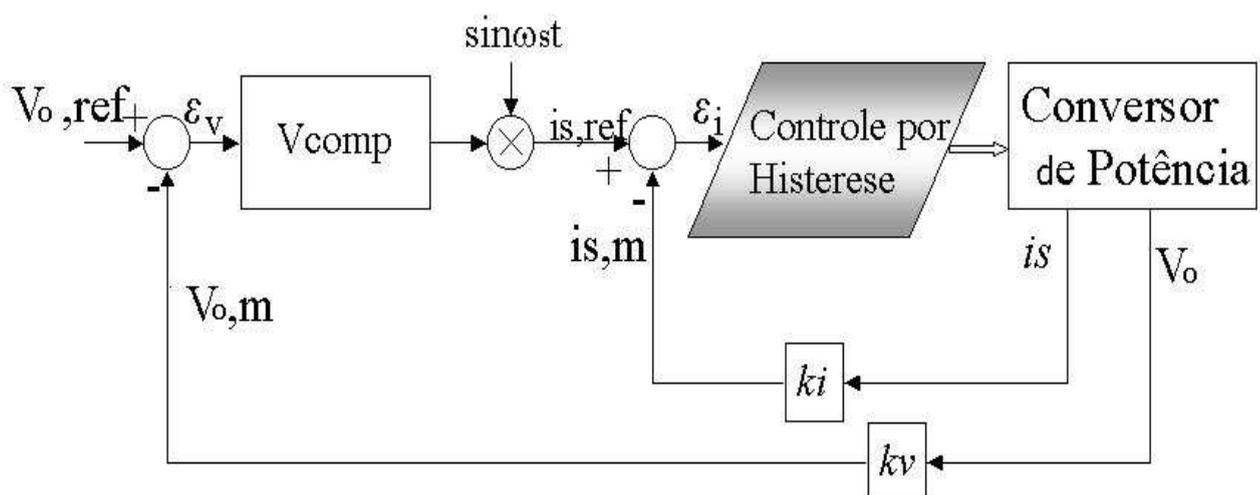


Fig.3.10: Configuração completa do sistema de controle.

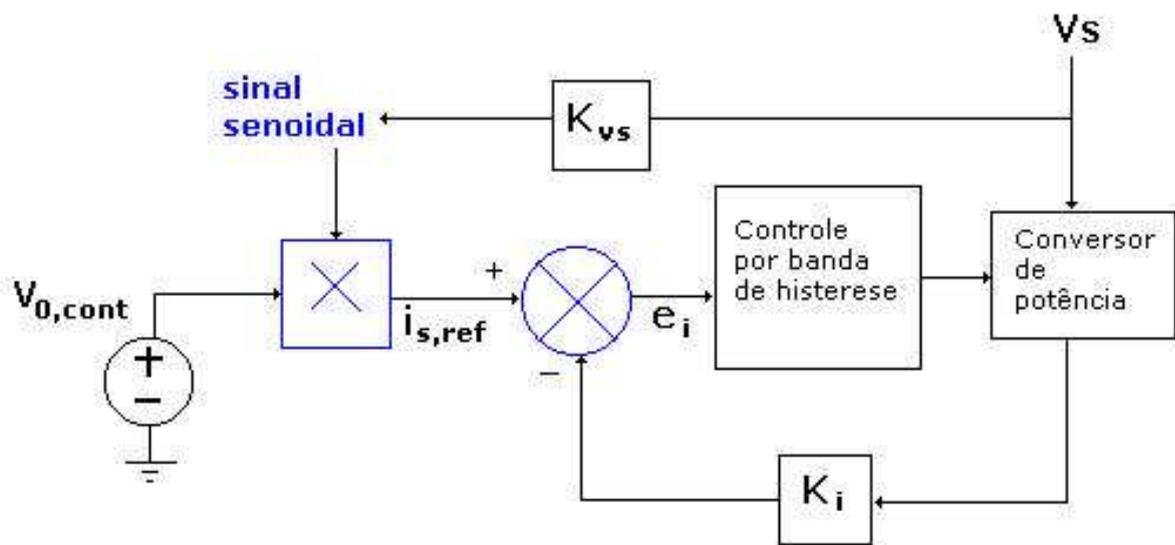


Fig.3.11: Configuração do sistema de controle usado.

Nesta figura K_{vs} representa o ganho do sensor da tensão da fonte que produz o sinal de sincronismo com a rede, necessário para gerar a corrente de referência ($i_{s,ref}$) em fase com a tensão V_s . A tensão $V_{o,cont}$ é um nível CC que representa a ação do laço de controle da tensão de saída.

3.3) Controle PWM de corrente por banda de histerese

A Fig.3.12 apresenta o diagrama esquemático do circuito de chaveamento PWM por banda de histerese. Na Fig.3.13 são apresentadas as formas de onda.

No caso da modulação por banda de histerese são estabelecidos os limites máximos e/ou mínimo da corrente (banda), fazendo-se o chaveamento, quando são atingidos os valores extremos. O valor instantâneo da corrente, em regime, é mantido sempre dentro dos limites estabelecidos, permitindo, assim, que o sinal de erro também se situe dentro de limites impostos, em malha fechada (controle ativado), como pode ser visto na Fig.3.13.

Portanto, entende-se por banda de histerese a técnica de controle no qual são estabelecidos limites para o sinal de erro, sendo feito um chaveamento de dispositivos no controlador, de modo que estes limites impostos sejam respeitados.

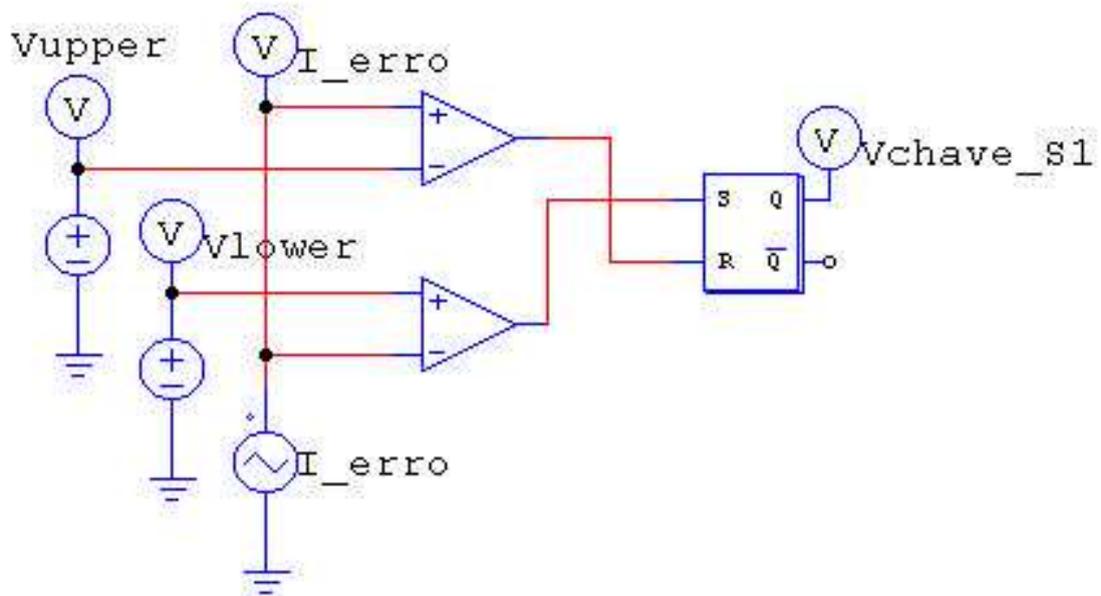


Fig.3.12: Circuito de chaveamento PWM por banda de histerese.

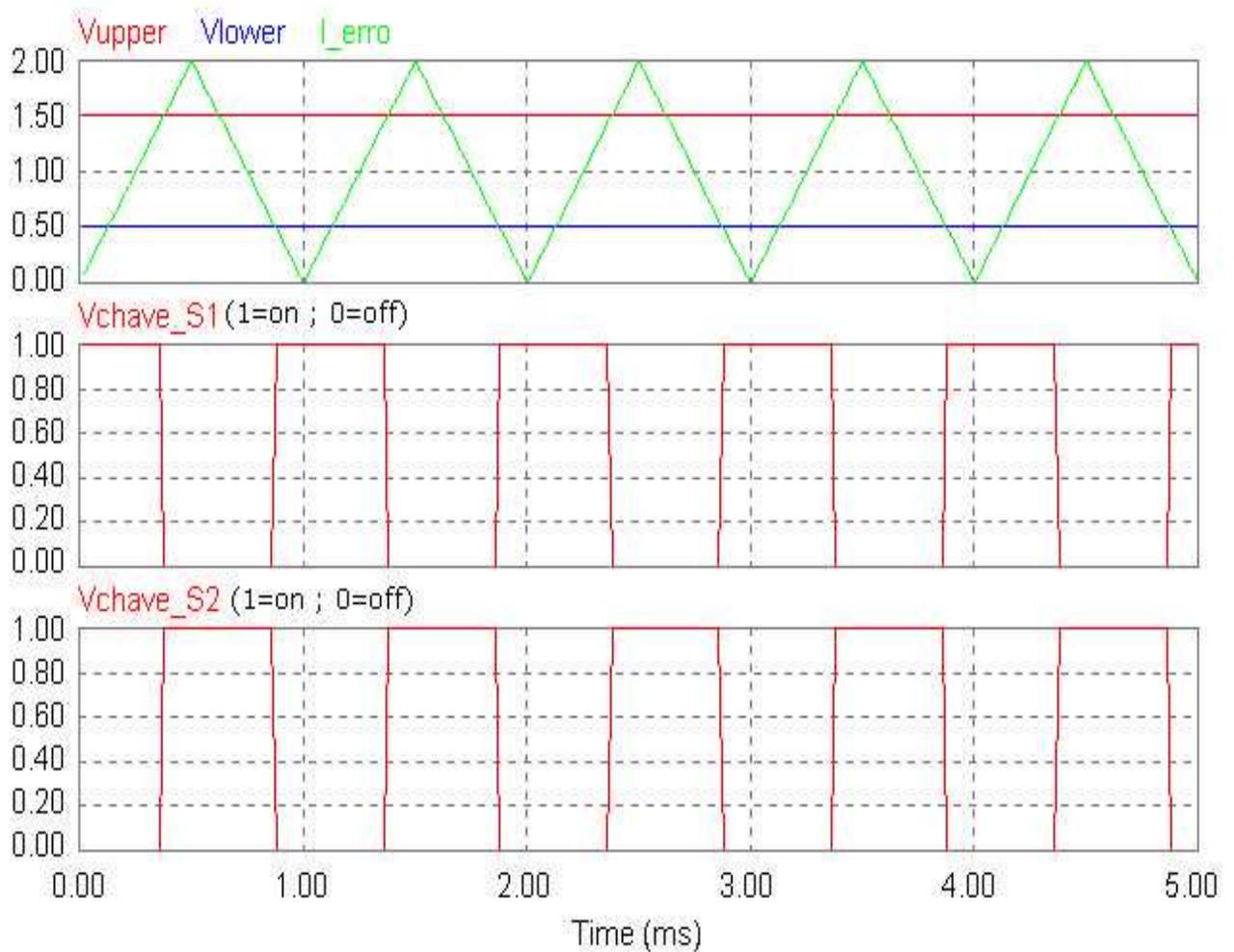


Fig.3.13: Circuito de chaveamento PWM por banda de histerese.

Na Fig.3.13. é possível verificar a evolução do sinal de erro , dentro dos limites V_{upper} e V_{lower} , e os sinais gerados para o controle, quando o sinal de erro ultrapassa estes limites impostos. Com isto verifica-se que o circuito de chaveamento produz sempre dois sinais para o controle e que estes sinais têm seus níveis mantidos inalterados (memorizados), quando o sinal de erro possui amplitude situada entre os limites impostos (histerese), função esta realizada pelo elemento de memória, que é o Flip-Flop tipo SR.

3.4) Modelo do retificador dobrador Boost PWM por banda de histerese

A obtenção de componentes de baixo custo e de fácil aquisição no mercado nacional norteou o projeto do retificador com controle de Fator de Potência. Este procedimento resultou na montagem de um protótipo de baixa potência com capacidade de alimentar uma carga de 15 watts.

A Fig.3.14 representa o modelo do retificador mais semelhante ao circuito implementado.

Os componentes utilizados no protótipo foram:

- Os capacitores C1 e C2 são compostos por 3 capacitores eletrolíticos em paralelo iguais a $330 \mu\text{F}/250\text{V}$;
- O indutor foi construído manualmente com o uso de um medidor de indutância (ponte HP) operando na frequência de 10kHz, mediu-se o valor da indutância e da resistência de perdas respectivamente iguais a 4.5 mH e 5 ohms (série).
- As chaves são Mosfets tipo IRF540N (200 V/ 28 A);
- Foram utilizadas lâmpadas para a realização da carga;
- Usou-se um Variac (EICO 1078) com tensão variável de 0 a 127V, para alimentar o retificador.

Os parâmetros do sistema de controle foram ajustados por simulação. Para este ajuste, inicialmente o ganho $K_{VS} = 0.025$, bem como $V_{o,cont} = 2.5$, foram escolhidos para que o sinal de referência (sincronismo com a rede elétrica) tivesse uma amplitude da ordem de 1 a 2 volts, quando a tensão da fonte (V_s) fosse da ordem de 25Vp, valores estes que não provocariam a saturação dos amplificadores

operacionais utilizados. Como a constante do sensor usado é de 0.145 V/A e a corrente do circuito seria de aproximadamente 2 A, para uma carga de 15W, o ganho $K_i=4$ também produziria um sinal de cerca de 1 volt, sinal este que representaria o valor da corrente de entrada instantânea. Após isto foi ajustado, por simulações, o ganho $K_{\text{erro}}=5$.

A Fig.3.15 apresenta os resultados da Fig.3.14, para a verificação do funcionamento do modelo adotado.

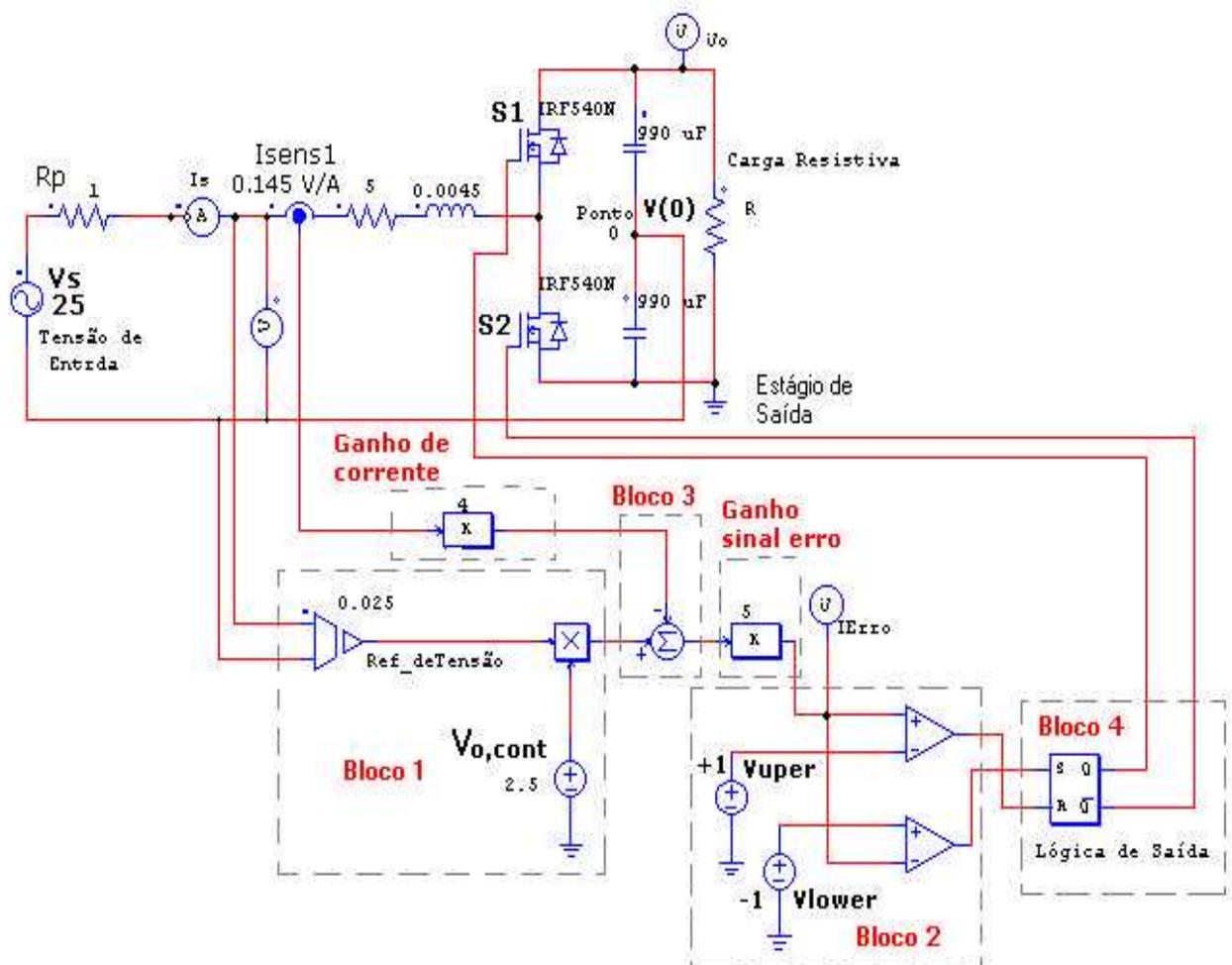


Fig.3.14: Modelo do retificador dobrador Boost PWM implementado.

Para esta simulação considerou-se os parâmetros :

- Tensão de entrada 20 Vp;
- Resistência de carga $R_L=150$ ohms;
- Resistência interna da fonte $R_p=1$ ohm.

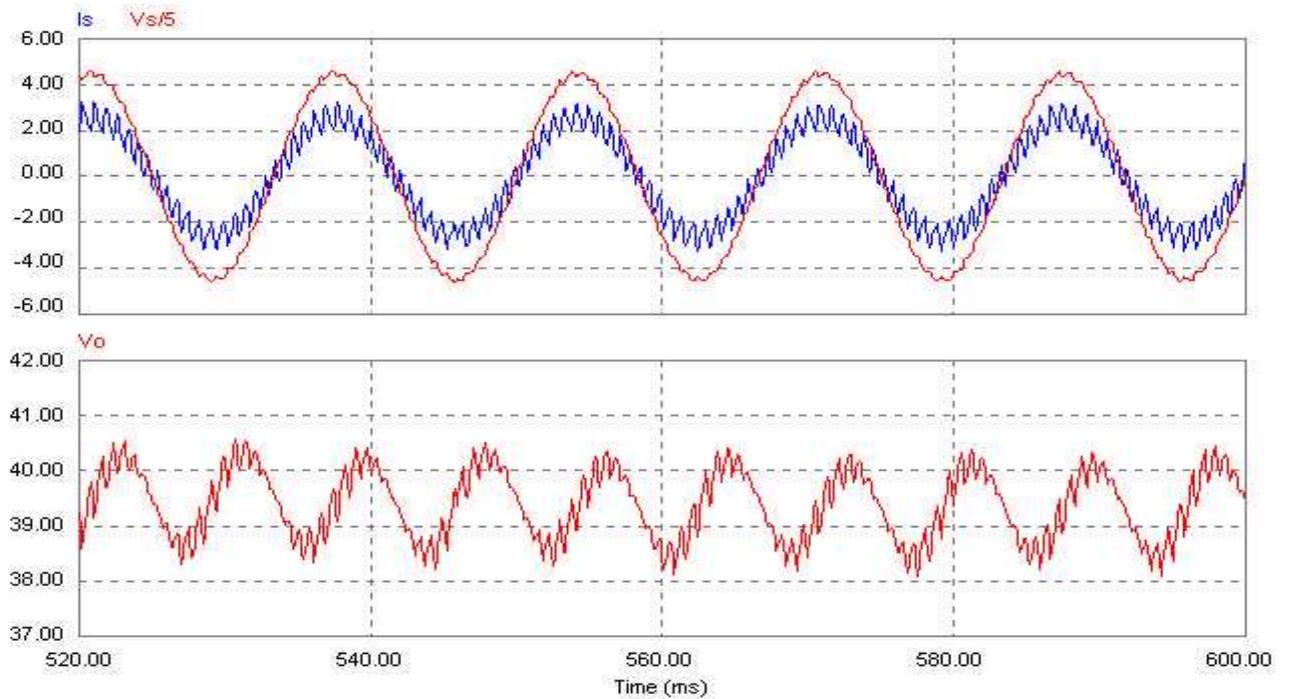


Fig.3.15: Resultados da simulação do modelo da Fig.3.14.

Os principais resultados obtidos foram:

- O primeiro harmônico da corrente de entrada I_s ficou em fase com a tensão de entrada;
- A tensão média de saída foi de aproximadamente 39,5VDC;
- O valor da fundamental da corrente foi de aproximadamente 2A;
- Observou-se distorção na tensão de entrada da fonte;
- O fator de potência (FP) da fundamental = 1;
- A frequência de chaveamento foi de aproximadamente 4kHz;
- A corrente de entrada I_s ficou restrita dentro de uma banda;

A atuação do controlador fez com que o primeiro harmônico da corrente de entrada I_s estivesse em fase com a tensão de entrada (V_s). Porém a tensão de entrada ficou um pouco distorcida, devido ao chaveamento do circuito. Isso poderá ser visto nos resultados experimentais e demonstra que a própria corrente em um dado conversor tem a capacidade de provocar a deformação da forma de onda da tensão de entrada, contribuindo para um aumento no valor da distorção harmônica total na fonte CA.

4) Montagem e testes preliminares do protótipo

Para o que foi exposto, tem-se o seguinte esquema mostrado na Fig.4.1, onde é implementada apenas, como já mencionado, a malha de controle de corrente. Neste esquema é mostrado todo o circuito de controle e de potência, em forma de blocos, os quais serão analisados separadamente.

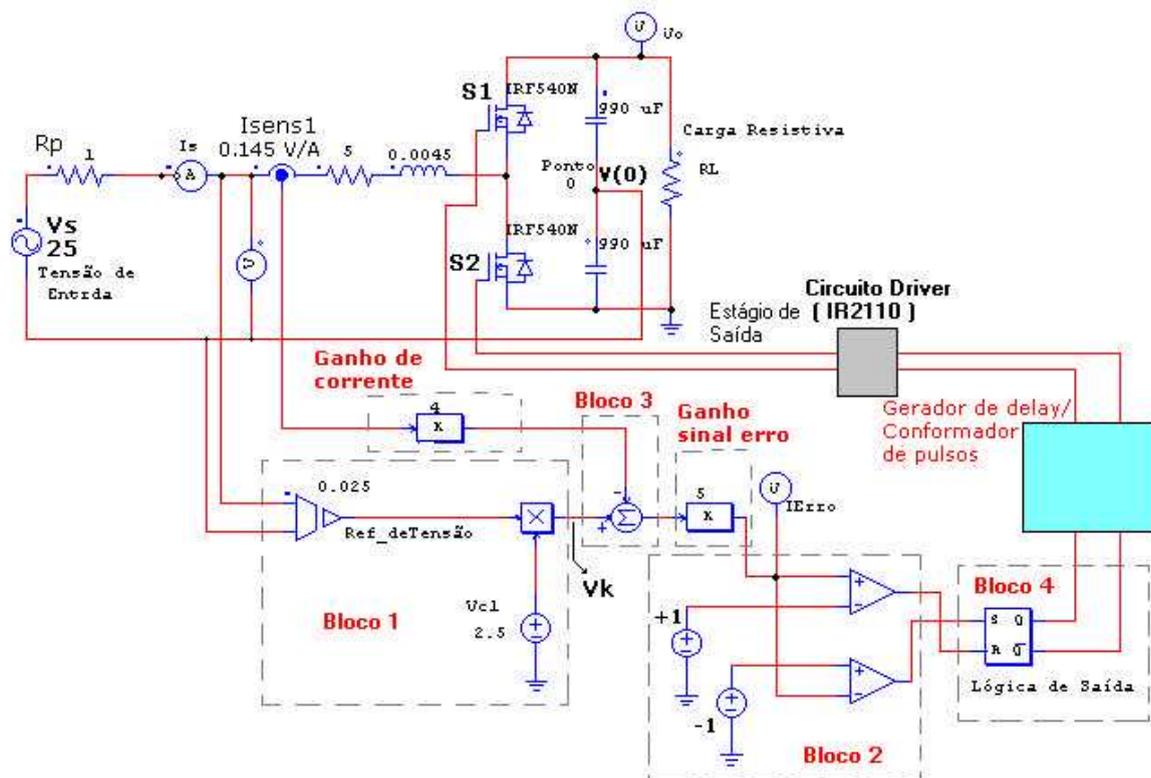


Fig.4.1: Diagrama em blocos do protótipo.

Neste circuito, o Bloco 1 é responsável por fornecer ao controlador o sinal de referência, o qual é obtido da própria fonte CA. Portanto o sistema fará com que a corrente siga esta referência de tensão, fazendo assim com que a corrente esteja em fase com a tensão de entrada.

O sensor de corrente **Isens1** fornecerá a medida de corrente instantânea do sistema, que por sua vez será amplificada e subtraída do sinal de referência, gerando o sinal de erro de corrente **Ierro**. Este sinal será amplificado e deverá oscilar sempre dentro dos limites fixos impostos, estabelecidos pelas tensões de referência DC no Bloco 2.

Caso este sinal ultrapasse estes limites, os comparadores (Bloco 2) determinarão o acionamento da chave adequada (Mosfets), para que este sinal se mantenha dentro destes limites impostos.

Como se pode ver, se estabelece o nível entre os quais a corrente deverá estar situada. Por este motivo é que se atribui a esta técnica o nome de Controle Preditivo de Corrente por Banda de Histerese [3] [4], pois se prevê que existirá uma corrente e esta estará dentro de limites impostos (banda). Isto significa que, se não houver uma malha de controle da tensão de saída este circuito deverá, obrigatoriamente, possuir algum tipo de carga conectada à saída, pois caso contrário, a tensão de saída será tanto maior quanto maior fosse o valor impedância de carga, podendo atingir valores destrutivos para os componentes.

Para facilitar o entendimento, será feita uma análise individual de cada um dos blocos mostrados na Fig.4.1. Serão mostradas as características mais importantes destes circuitos e seu funcionamento.

4.1) Circuito de acionamento dos transistores de potência

Pode ser visto na Fig.4.1 que é necessário realizar o controle das chaves S1 e S2 (Mosfets ou IGBTs) e inicialmente será dada ênfase em como isto será possível.

Para realizar o controle das chaves, deve-se em princípio, analisar uma topologia onde isto possa ser feito e como se comportam as mesmas, mediante uma frequência de chaveamento de 60 khz. Esta frequência é adequada para esta aplicação (e foi estipulada por simulações). Deve-se também obter, a partir desta topologia adotada, dados relativos a vários pontos do circuito, dados estes que serão importantes para o dimensionamento adequado dos componentes a serem usados.

Poder ser visto na Fig.4.2 uma forma de implementação usando componentes discretos.

Para o controle destas chaves no circuito, é importante notar que uma das chaves (S1 da Fig.4.1) se encontra com o terminal de controle (*gate*) “**flutuante**”, pois o terminal *source* não está referenciado ao terra do circuito. Para que se consiga o acionamento desta chave, sendo do tipo Mosfet, é necessário aplicar cerca de 10 volts entre os terminais de *gate* e *source* do dispositivo.

A Fig.4.2 mostra uma das maneiras de realizar o acionamento de uma chave que se encontra nesta situação, com o uso de componentes bem conhecidos. O princípio de funcionamento desta topologia denomina-se “**charge pump**” [1] e consiste

em carregar um capacitor que já possui um de seus terminais ligados ao terminal Source do Mosfet e, posteriormente, de uma forma segura (isolação óptica), usar esta carga armazenada para o acionamento (realizar o *turn-on* e *turn-off* do dispositivo de comutação).

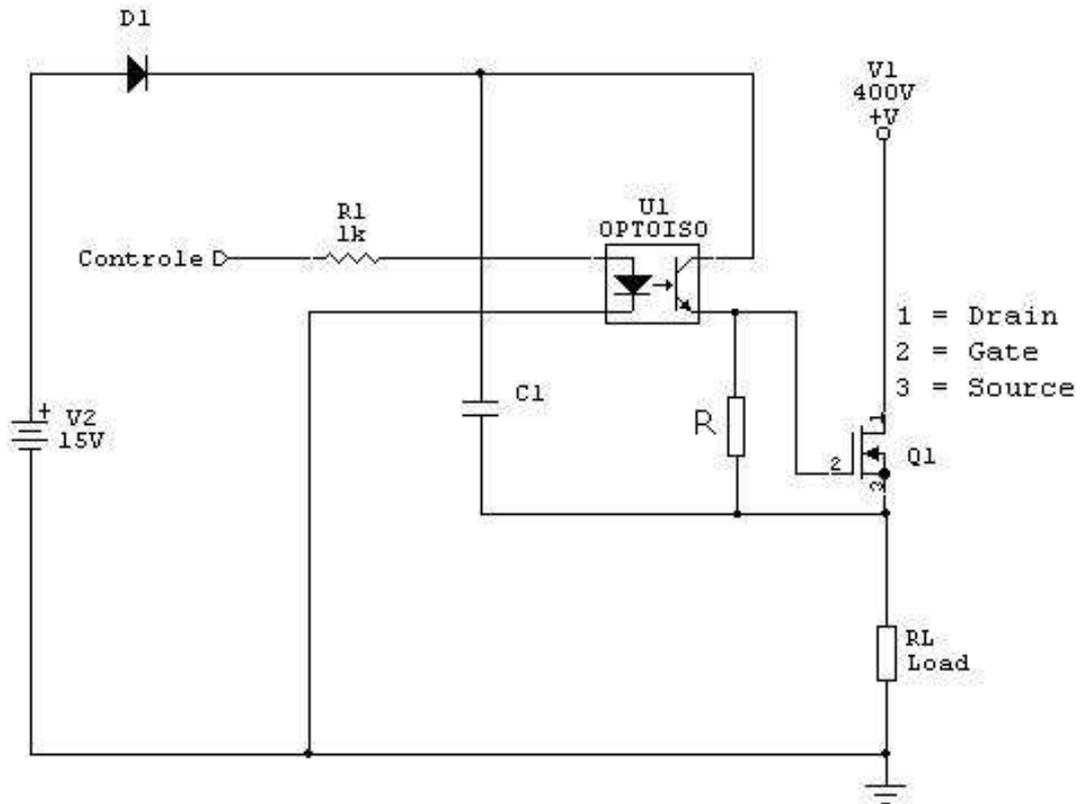


Fig.4.2: Possível técnica de acionamento de chaves Flutuantes.

Neste circuito, o capacitor C1 se carrega com a tensão de V2 (+15 V), mediante à existência do resistor RL. Quando é acionado o terminal designado controle, o optoacoplador faz com que a tensão do capacitor apareça no terminal 2 (gate) do dispositivo, acionando-o e, como consequência, a carga RL receberá o nível de tensão de V1. Quando o pulso de controle é retirado, o capacitor recupera a carga perdida e está apto a proporcionar outro disparo da chave e o resistor R proporciona a descarga do capacitor parasita existente em dispositivos tipo MOS. Isto mostra que este circuito deve necessariamente operar chaveando o dispositivo e não pode operar de maneira contínua (pulso de longa duração), ou seja, deverá haver recarga periódica.

Note que a função do diodo D1 é importante, pois quando o Mosfet está conduzindo, o terminal de alta tensão estará conectado ao terminal 3 do dispositivo (*source*) e neste momento o diodo bloqueará esta alta tensão, protegendo o circuito de controle e a fonte de tensão V2. Portanto tal diodo deverá ser especificado para

suportar uma tensão reversa superior à tensão V_1 . Além disto também deverá ser suficientemente rápido para se recuperar da polarização reversa e proporcionar o carregamento do capacitor.

Para que a tarefa descrita acima seja possível, foi escolhido trabalhar com o circuito integrado **IR2110**, o qual desempenha todas as funções mencionadas para o circuito da Fig. 4.2 e proporciona outras funções que serão abordadas ao longo do estudo, além de uma miniaturização [1], [7].

Atualmente existem outras duas maneiras de se conseguir este tipo de controle. A primeira e mais simples utiliza transformadores de pulsos, que transmite pulsos para as chaves, mediante a aplicação de pulsos de controle no primário destes.

A segunda e mais moderna topologia consiste no uso de sofisticados circuitos “driver” tal como o PVI5080N, chamados de **PVI** (*Photo Voltaic Isolator*) [8], que consistem em células fotovoltaicas que são encapsuladas em invólucros com diodos emissores de luz (Leds) acoplados às mesmas, gerando cerca de 6V a partir da incidência da luz proveniente destes LEDs.

4.1.1) Primeiro teste do circuito *Driver* IR2110

O circuito integrado IR2110 possui três entradas e duas saídas de controle [1], [7], conforme mostra a Fig.4.3 e são:

HIN - Esta entrada irá controlar a saída HO.

LIN - Esta entrada irá controlar a saída LO, que será usado para fazer o acionamento do dispositivo com o mesmo referencial de terra do circuito de controle.

SD - Este é um terminal destinado à proteção. Se for aplicado um nível lógico alto, então as saídas HO e LO serão desligadas ao mesmo tempo, passando a ignorar os pulsos do controle.

O circuito de *Charge Pump* pode ser desligado. Assim pode-se usar ambas as saídas para acionar dispositivos com o mesmo referencial de terra do circuito de controle.

No circuito de teste da Fig.4.3 pode ser visto o IR2110 acionando dois Mosfets, que possuem o mesmo referencial de terra do circuito de controle. Nesta configuração são verificados o comportamento das saídas, com a aplicação dos sinais de controle.

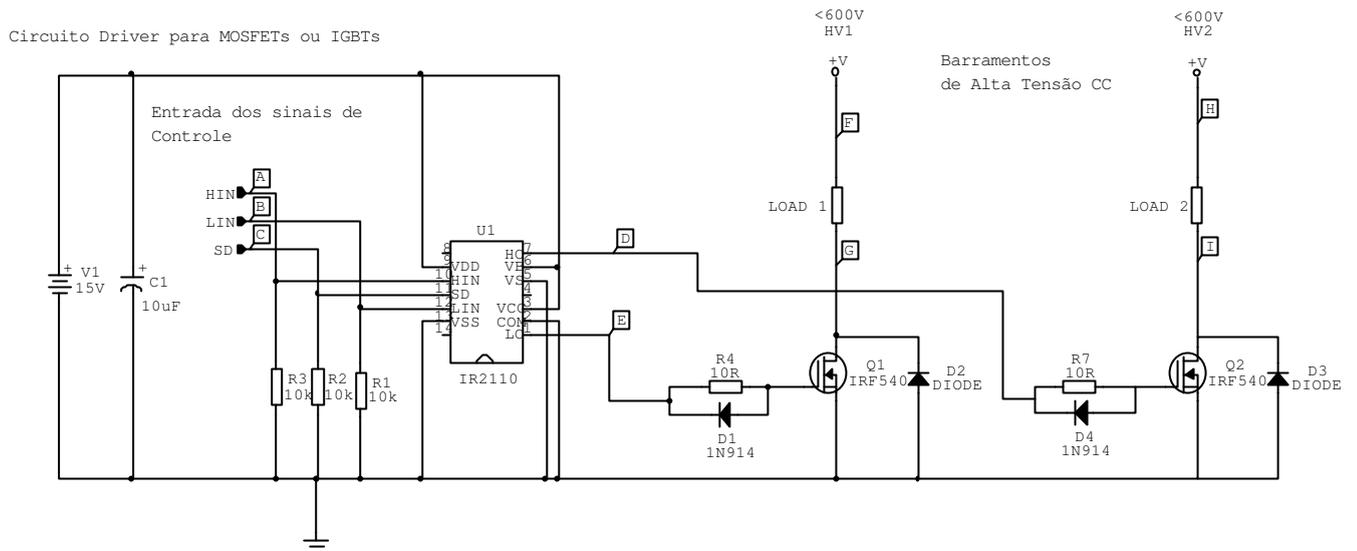


Fig.4.3: Circuito do primeiro teste do *driver* IR2110 com ambos os canais aterrados.

Neste circuito os componentes R4, D1, R7 e D4 têm a finalidade de diminuir o *turn-off* das chaves (devido à existência dos diodos D1 e D4), bem como limitar o pico de corrente do circuito integrado.

4.1.2) Resultados experimentais do primeiro teste do *driver* IR2110

A Fig. 4.4 mostra as formas de onda nos pontos **G** e **I**, em relação ao terra do circuito. Pode ser observada a resposta das chaves aos sinais de controles. O canal 1 do Osciloscópio (Ch1) corresponde ao ponto **D** e o canal 2 (Ch2) ao ponto **E**. Estes sinais são idênticos aos aplicados nas entradas de controle do circuito *Driver* IR2110, mostrando que os Mosfets recebem exatamente os sinais de controle desejados e aplicados ao dispositivo.

Nesta medida utilizou-se $HV1=HV2=15$ volts. O sinal de controle foi aplicado simultaneamente em ambas as entradas do **IR2110** (pontos **A** e **B**) e possui frequência de 60 kHz. Esta frequência teste de 60 kHz é maior que a frequência esperada para a técnica analisada neste estudo e, portanto, servirá para garantir que o circuito protótipo a ser montado não terá problemas com atrasos ou ineficiência dos pulsos aplicados pelo controle, e que deverão ser transmitidos às chaves S1 e S2.

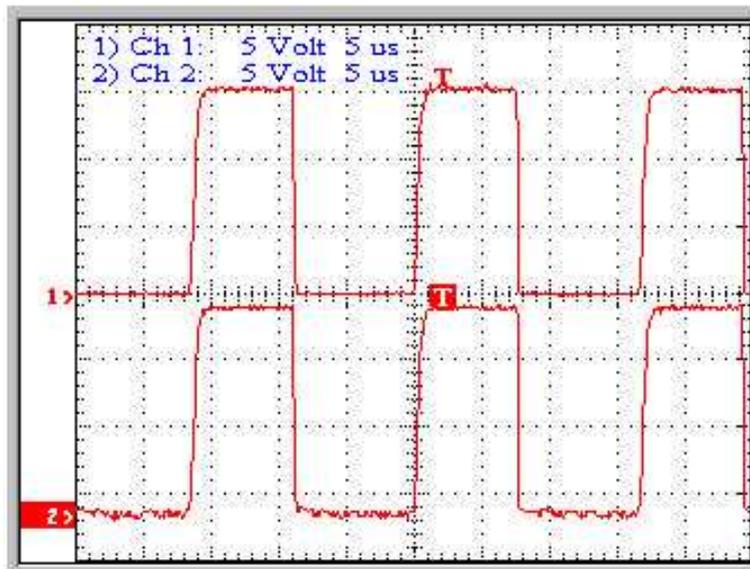


Fig.4.4: Primeiro teste do circuito *Driver* IR2110.

A fim de validar o que foi mostrado na Fig.4.4, a Fig. 4.5 apresenta os sinais aplicados no controle **HIN** (Ch1) e no canal 2(Ch2), sua respectiva saída **HO** (ponto **D**)

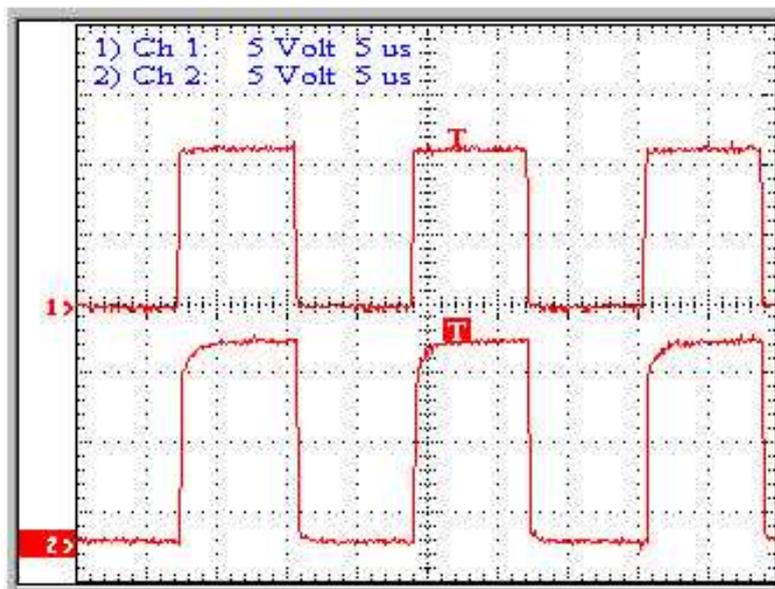


Fig.4.5: Teste do canal com *gate* “flutuante” (HIN=60kHz).

Semelhantemente ao caso anterior, a Fig. 4.6 mostra no canal 1(Ch1) os sinais aplicados no controle **LIN** (ponto **B**) e no canal 2(Ch2), sua respectiva saída **LO** (ponto **E**).

Pode ser observada a rapidez com que o componente IR2110 transfere às respectivas saídas, os comandos aplicados nas entradas.

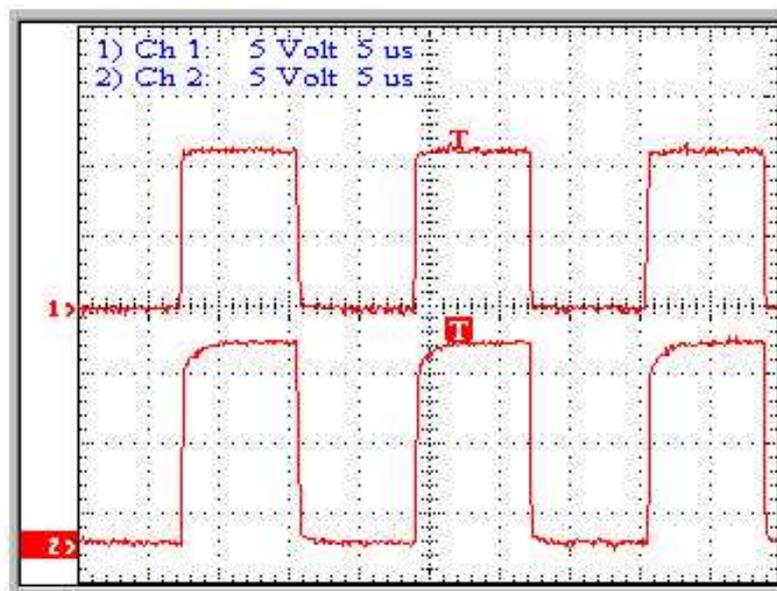


Fig.4.6: Teste do canal aterrado (LIN=60kHz).

4.1.3) Segundo teste do circuito *Driver* IR2110

Este circuito (Fig.4.7) será de grande importância, uma vez que possibilita a verificação do acionamento do canal flutuante, em relação ao potencial de terra do circuito de controle. Será também verificada a importância do capacitor C2, bem como do diodo D5, como foi mencionado na seção 4.1.

Após o devido entendimento do funcionamento desta configuração e suas peculiaridades, será viável montagem de uma configuração preliminar para o definitivo circuito, que irá executar o que foi proposto neste trabalho.

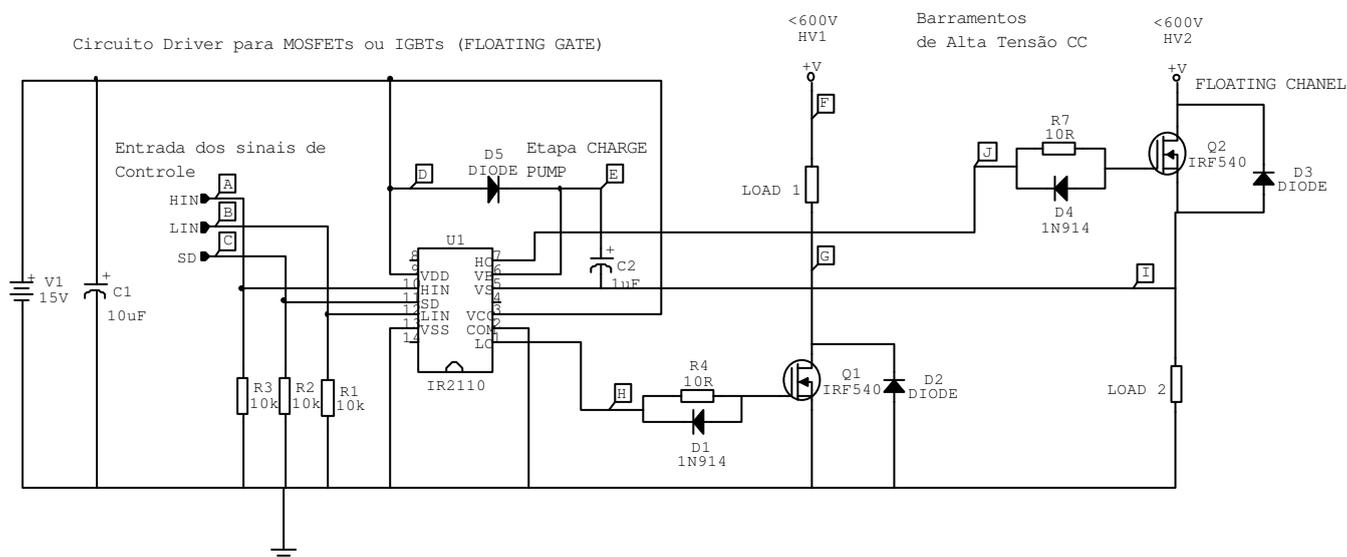


Fig.4.7: Segundo circuito *driver* com o IR2110.

4.1.4) Resultados experimentais do segundo teste com o IR2110

A Fig. 4.8 apresenta a tensão no diodo D5 (pontos **D** e **E**). Esta medida confirma o que foi dito anteriormente, onde se pode notar que a tensão reversa no diodo se aproxima do valor da fonte de tensão HV2=30 V.

Nesta medida, foram feitos HV1=15VDC e HV2= 30 volts e F=60kHz

Para o caso de HV2= 400 V, por exemplo, deverão ser tomadas as devidas precauções quanto ao dimensionamento e escolha deste importante dispositivo para este circuito (D5). Este diodo deverá suportar uma tensão reversa maior que HV2 e ser suficientemente rápido para se recuperar da polarização reversa. Foi escolhido um diodo de alta tensão e do tipo *fast recovery*, tal como o diodo 60EPF[9].

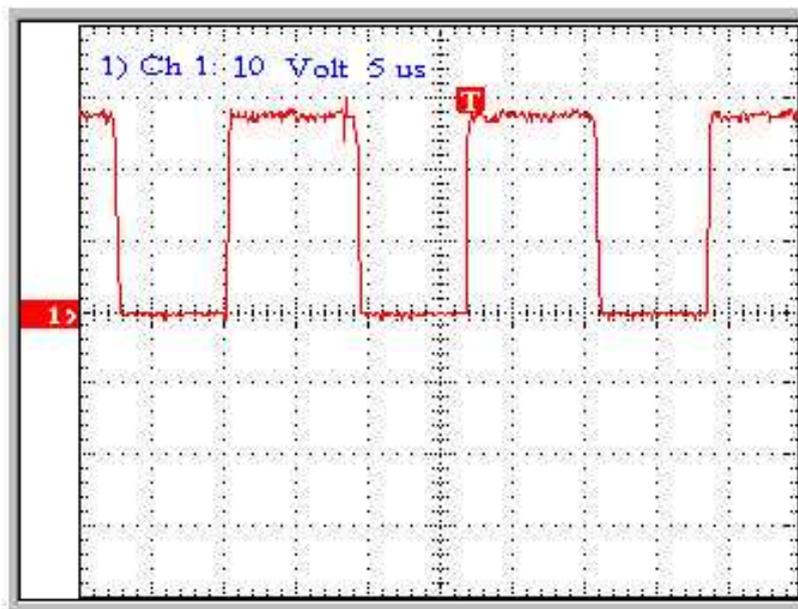


Fig.4.8: Tensão medida no diodo D5.

A Fig. 4.9 se refere à tensão na carga *Load 1* (pontos F e G). Pode ser observado que a chave Q1 responde ao sinal de controle na entrada, já mostrado na Fig.4.4 e Fig.4.5, fazendo com que a carga receba uma tensão igual a HV1= 15 V.

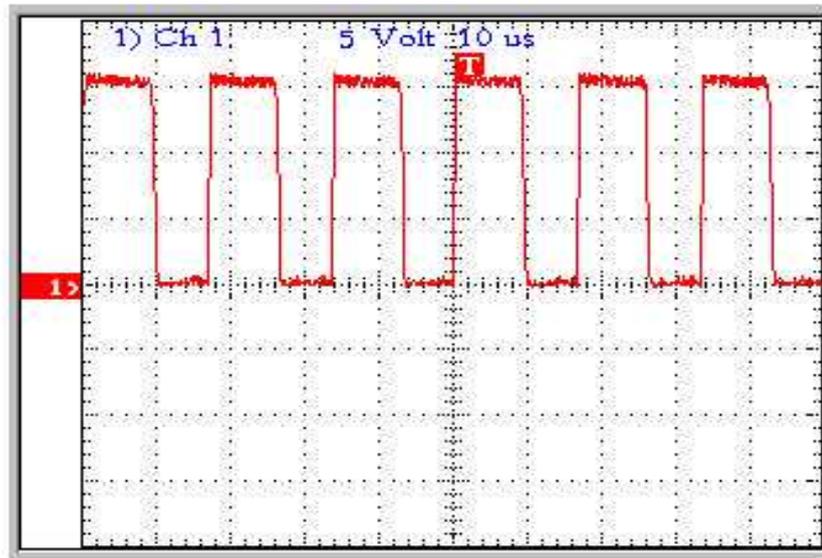


Fig.4.9: Tensão na carga do canal com *gate* “flutuante”.

A Fig. 4.10 mostra o mesmo tipo de medida mostrada na Fig.4.9, porém se refere à tensão em *Load 2* (ponto I, em relação ao terra do circuito). Esta medição comprova que realmente a chave flutuante (Q2) recebe os sinais de controle aplicados às entradas do *driver* IR2110, permitindo com a carga receba um valor de tensão igual a $HV2=30\text{ V}$.

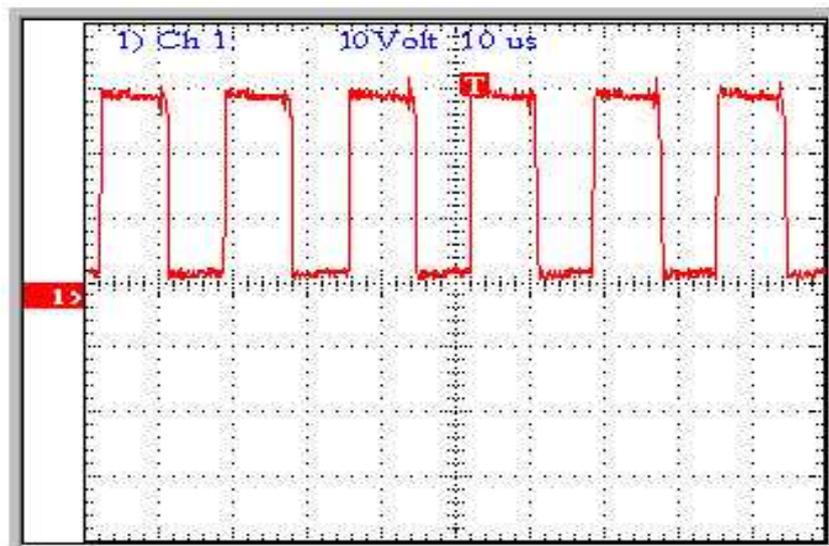
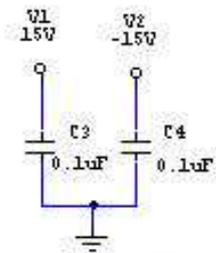


Fig.4.10: Tensão na carga do canal aterrado.

Com os testes realizados acima, é possível então validar o funcionamento do circuito mostrado na Fig.4.11, circuito este que será usado para a montagem do protótipo do conversor Boost Dobrador de Tensão.

Tensões estabilizadas
que alimentam o Sistema



**Circuito Diferencial usado
para amostrar a tensão de entrada
do conversor.**

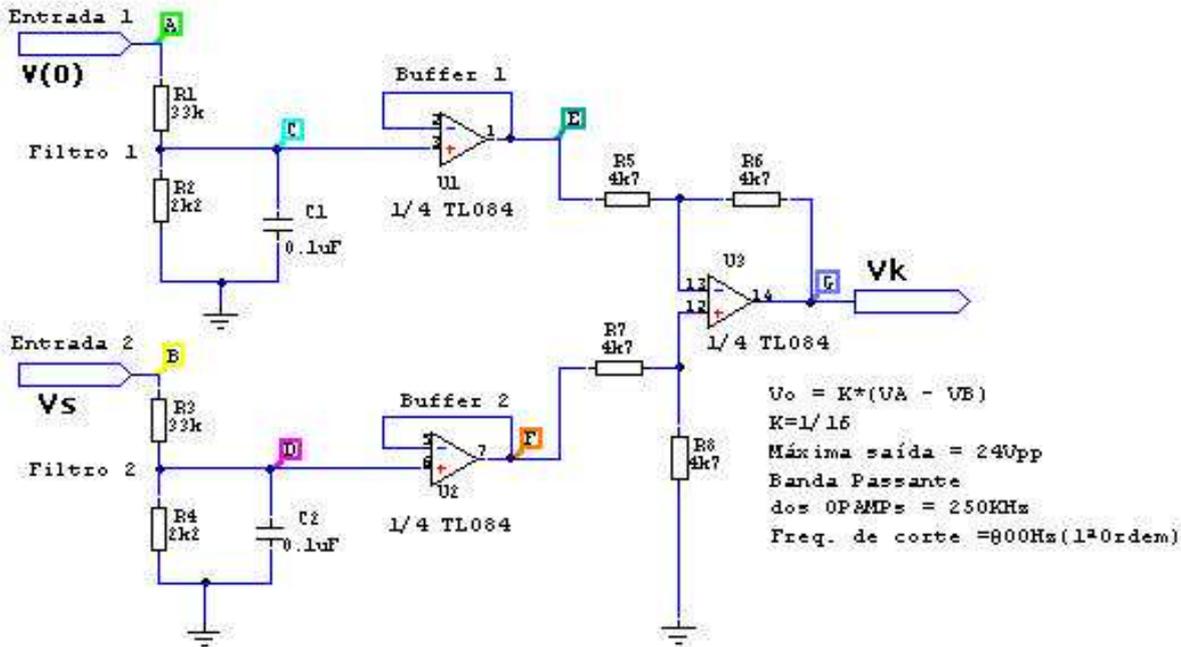


Fig.4.12: Amplificador diferencial para gerar o sinal de referência (bloco1).

Na entrada deste circuito existe um filtro passa baixa de 1ª Ordem com freqüência de corte em torno de 800 Hz destinado a filtrar o ruído gerado pelo conversor na tensão da rede elétrica, caso contrário, este sinal com ruído de alta freqüência seria aplicado ao controle causando problemas de rastreamento para o controle. Como a freqüência do chaveamento do conversor é da ordem de alguns kHz, apenas estas freqüências seriam atenuadas pelo filtro.

Ao invés do uso de C1 e C2 poderia ser usado um único filtro passa-baixas, após o diferencial, para aumentar a rejeição de modo comum em alta freqüência. O desbalanceamento dos filtros usados neste circuito poderia causar um aumento do ganho de modo comum, em alta freqüência, mas não foi verificado problemas desta origem.

As demais características importantes do circuito estão indicados no esquema elétrico da Fig.4.12.

4.3) Implementação dos circuitos de ganho

Este circuito (Fig.4.13), possui uma topologia muito conhecida, atuará como circuito de ganho e fará parte importante na formação do circuito de controle. Serão usados no protótipo dois circuitos como este: um para a amplificação do sinal do sensor de corrente (ganho K_i) e outro para amplificar o sinal de erro (K_{ierro}), como pode ser visto na Fig.4.1.

Os ganhos do circuito podem ser ajustados para atenderem aos valores necessários, o qual foram obtidos por simulações do PSIM 6.0, os quais são $K_i=4$ e $K_{ierro}=5$, que foram obtidos conforme explicado na seção 3.4.

Tensões estabilizadas
que alimentam o Sistema

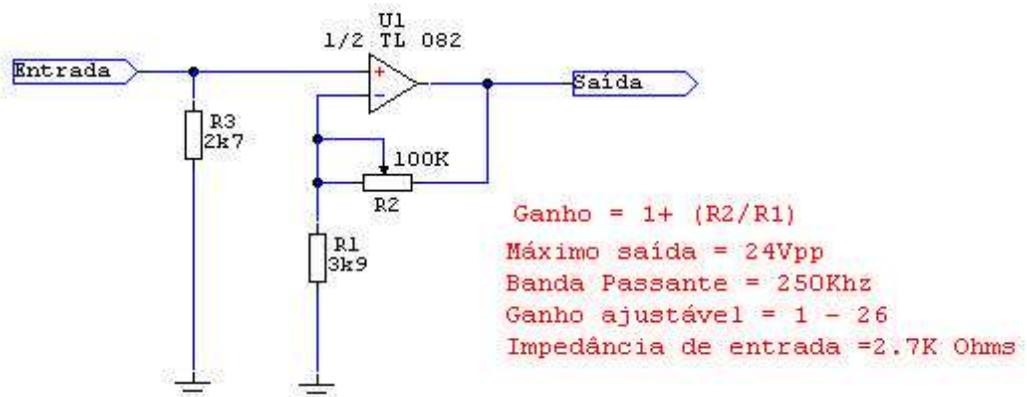
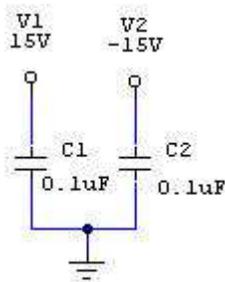


Fig.4.13: Circuito de ganho.

Foi utilizado um amplificador operacional de média velocidade, que é o TL084 (*Slew rate* de 13V/μs), que foi escolhido por possuir largura de banda passante adequada para esta aplicação. As demais características do circuito podem ser vistas na Fig.4.13.

4.4) Circuito subtrator

Este circuito será usado para realizar a função do bloco subtrator do controle, o qual gerará o erro de corrente, isto é, a diferença entre o sinal de corrente e o sinal de referência. Sua função é fazer com que $V_o = (V_A - V_B)$.

As entradas V_A e V_B são provenientes da saída do amplificador do sinal de corrente e da saída do circuito gerador do sinal de referência respectivamente e podem ser identificadas no circuito da Fig.4.1.

As demais características estão indicadas no esquema da Fig.4.14.

Tensões estabilizadas
que alimentam o Sistema

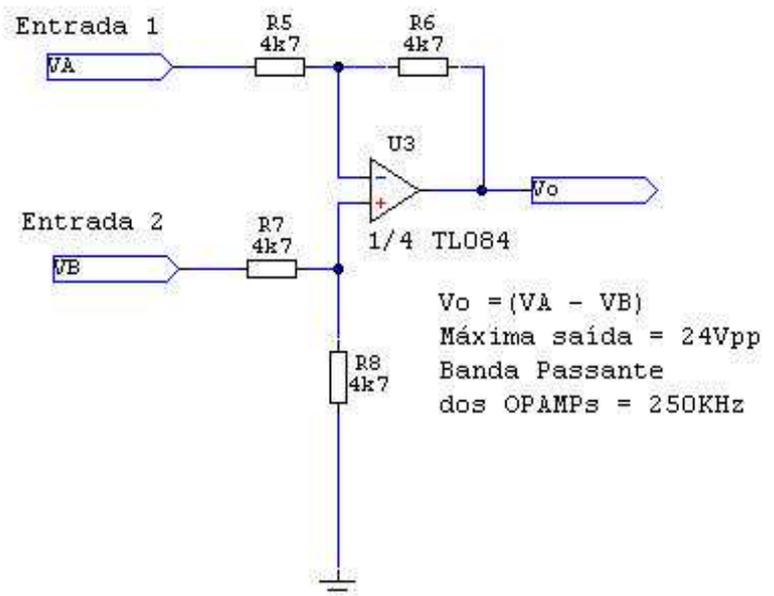
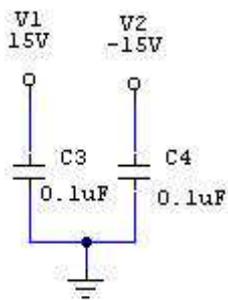


Fig.4.14: Circuito subtrator (bloco 3).

4.5) Circuito comparador

Este circuito (Fig.4.15) foi projetado para atuar como comparador de tensão de alta velocidade (usou-se o circuito integrado LM 319), o qual terá a função de gerar dois sinais digitais para a etapa do Flip-Flop do circuito de controle (Bloco 4). Como as saídas do comparador são do tipo coletor aberto, este circuito pode ser usado para fornecer saídas com amplitudes ajustadas pelo projetista.

O circuito comparador irá atuar em dois níveis de tensão de referência simétricos, que podem ser ajustados no resistor variável R5. De acordo com dados da simulação estes níveis foram ajustados e mantidos com valores fixos em +1V e -1V ("janela de 2V"). Estas tensões de referência são filtradas pelos capacitores C4 e C5, para se evitar disparos acidentais dos comparadores, causados por ruídos.

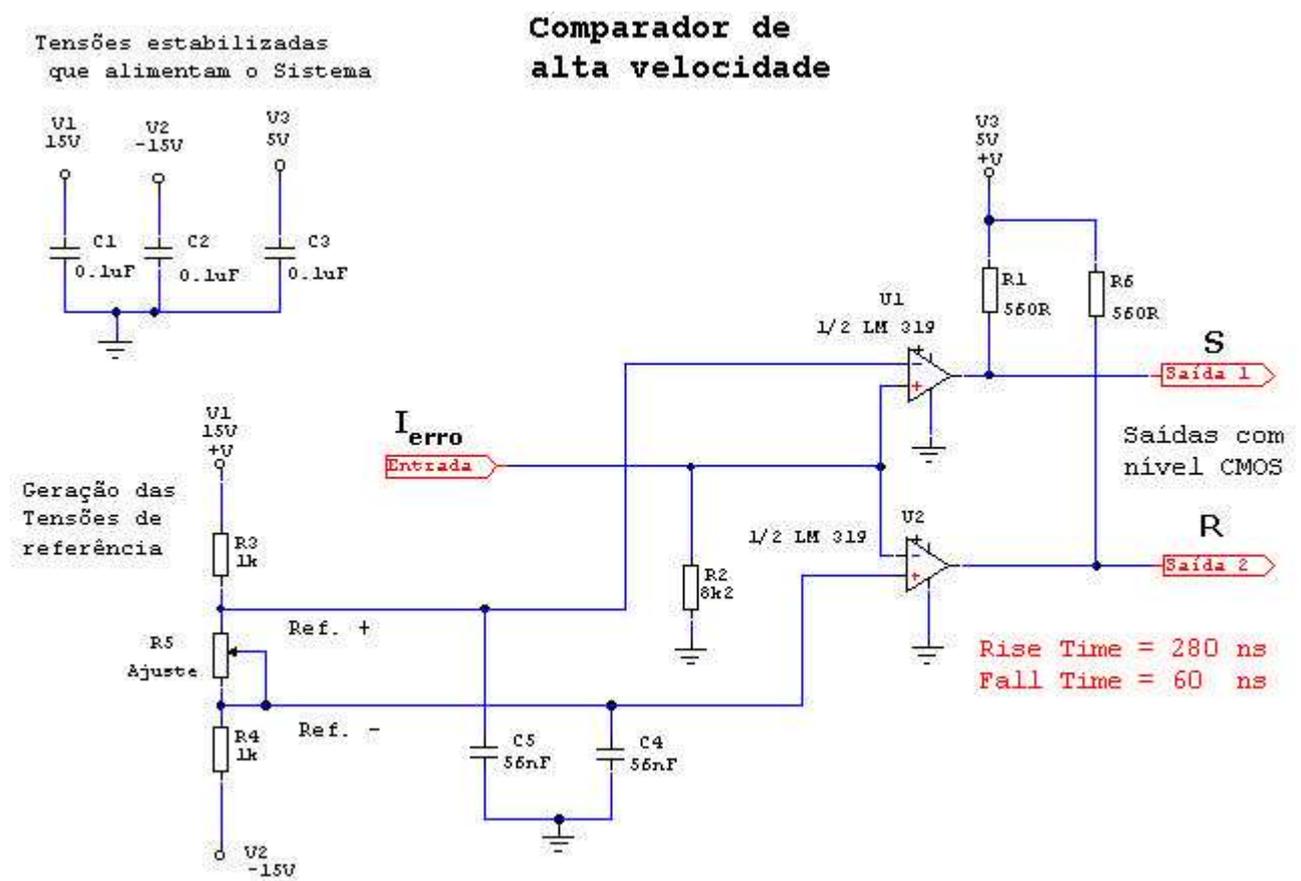


Fig.4.15: Circuito comparador tipo janela (bloco 2).

O sinal de entrada deste circuito será um sinal de erro do controlador que, em malha fechada, deverá ser mantido entre estes limites impostos pelo circuito comparador, desde que o funcionamento do circuito completo seja correto.

As características de velocidade do circuito estão indicadas no esquema e estes valores foram obtidos em ensaios experimentais no laboratório. Estes valores foram julgados excelentes e importantes para um bom funcionamento do circuito, devido ao fato de não provocar acréscimos de delay na resposta do controlador.

4.6) Circuito de memória do estado das chaves

Este circuito irá possibilitar que o estado de condução ou corte das chaves (Mosfets) sejam alterados simultaneamente (se S1 estiver no estado Ligado, S2 estará desligada), quando o sinal de erro do controle ultrapassar os limites da banda de histerese (+1V e -1V).

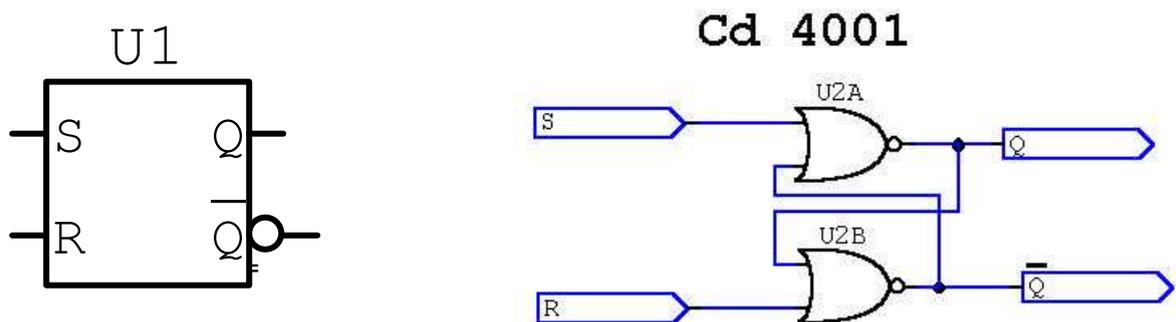


Fig.4.16: Circuito de memória (bloco 4).

Tabela 4.1: Tabela verdade do Flip-Flop SR.

S	R	Q	\bar{Q}
0	0	Q_0	\bar{Q}_0
0	1	1	0
1	0	0	1
1	1	inválido	

Q_0 significa é mantido o estado anterior.

Consultando a tabela verdade deste tipo de flip-flop verifica-se que as combinações de suas entradas atendem ao desejado, uma vez que a combinação S=1 e R=1 não ocorrem, no funcionamento normal do circuito mostrado na Fig.4.15.

Esta mudança será memorizada até que o sinal atinja o outro limite imposto. Por exemplo, considere a Fig.4.17.

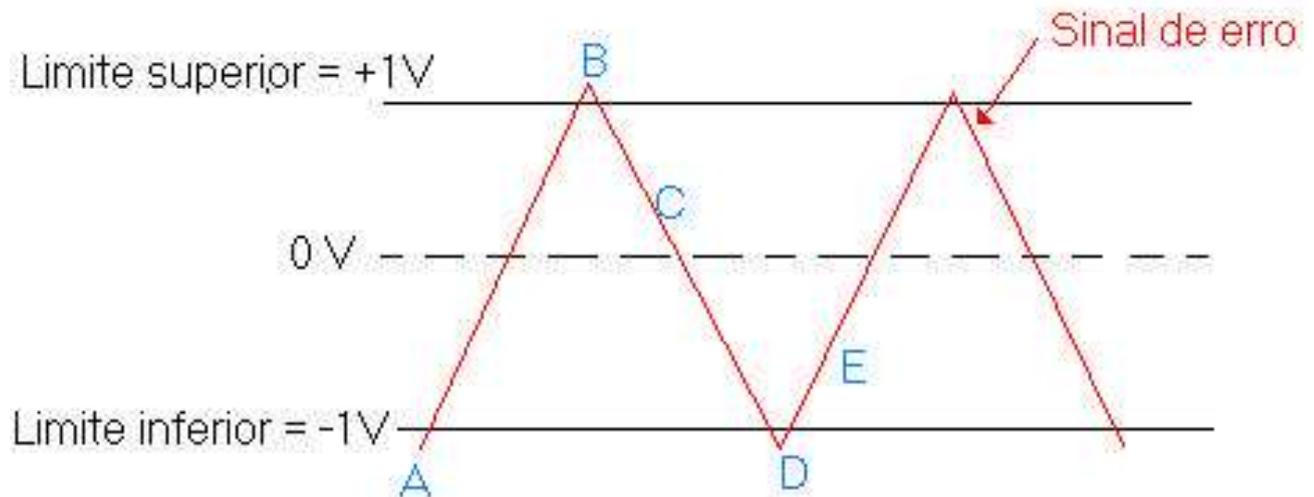


Fig.4.17: Sinal de erro do controlador.

O sinal de erro é aplicado à entrada do circuito comparador, que por sua vez irá gerar os sinais digitais (S e R) para este circuito de memória.

Portanto, considere que o sinal de erro tenha a amplitude do ponto A e esteja aumentando de valor, conforme a figura 4.17. Neste caso $S=1$ e $R=0$, o que acionará a chave Q. Quando o sinal passa para a região entre os limites de referência, $S=0$ e $R=0$, então o flip-flop memorizará o estado de condução das chaves enquanto o sinal continuará crescendo até que atinja o ponto B, onde se terá $S=0$ e $R=1$, fazendo com que os estados de condução das chaves sejam invertidos. Neste momento esta inversão de estado de condução fará com que o sinal de erro comece a reduzir até que entre novamente na região entre os limites impostos, o que não alterará o estado das chaves (será novamente memorizado pelo Flip-Flop), até que o sinal de erro atinja o ponto D. Esta seqüência é cíclica.

Caso não existisse este elemento de memória, o sinal de erro seguiria uma das duas referências e não seria possível fazer com que o mesmo ficasse entre os limites impostos, condição essencial para a técnica de controle por Banda de Histerese.

4.7) Circuito gerador de atraso

Este é um dos mais importantes circuitos que complementam o controle. Ele tem a finalidade de gerar um atraso (*delay*) entre os sinais da entrada (*IN1* e *IN2*) e os de saída (*OUT1* e *OUT2*), podendo este tempo pode ser ajustado através do programa no microcontrolador. Este circuito impedirá que os Mosfets conduzam simultaneamente, caso contrário poderia ocorrer o curto-circuito do barramento CC da etapa de potência.

Foi usado o microcontrolador PIC 16F628 [11] para realizar esta tarefa, que consiste em monitorar continuamente as entrada *IN1* e *IN2*, provenientes do circuito comparador (Fig.4.15). Quando se é detectado o nível lógico 1, em uma destas entradas o microcontrolador coloca em nível lógico 0 a saída oposta e aguarda um certo tempo programado para ativar a correspondente à esta entrada que foi detectada.

Com o uso do microcontrolador foi possível uma grande redução do número de componentes usados e, neste caso, mantendo o mesmo custo que em uma montagem com *Hardware* dedicado .

Este tempo de atraso foi ajustado para 2 μ s, tempo este suficiente para um bom funcionamento do conversor Boost.

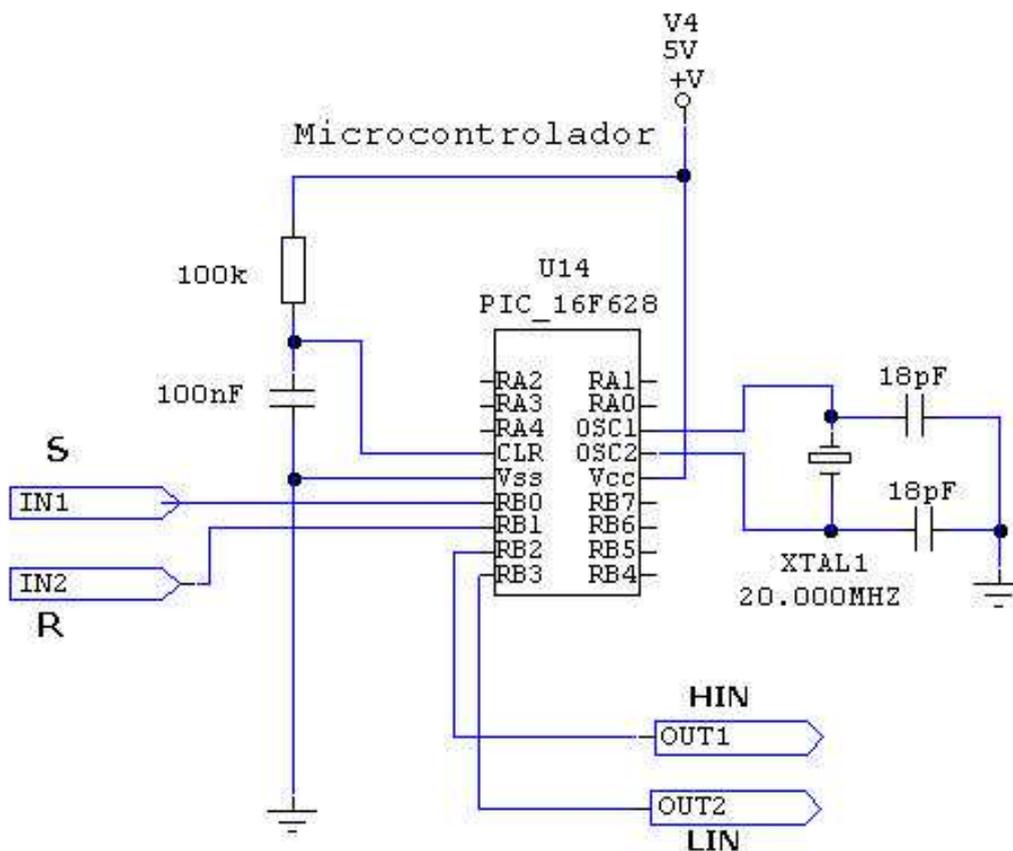


Fig.4.18: Circuito gerador de atraso.

O *hardware* do conversor Boost analisado garante que as entradas IN1 e IN2 nunca estarão ativadas simultaneamente, portanto esta possibilidade foi descartada na elaboração do programa. Abaixo são mostradas as combinações lógicas válidas:

IN1=0 e IN2=1

IN1=1 e IN2=0

IN1=0 e IN2=0

Como as saídas do microcontrolador são registradores, a função de memória que seria realizada pelo Flip-Flop tipo SR (bloco 4), conforme mencionado na seção 4.6, é realizada pelo próprio microcontrolador PIC 16F628. Então o microcontrolador irá realizar as funções do bloco 4 e da geração do atraso.

No anexo 1 é mostrado o esquema elétrico com o uso do microcontrolador que possibilitou uma grande redução no número de componentes (comparar com o anexo 2). O programa utilizado no microcontrolador foi feito em linguagem C e se encontra no anexo 4.

4.8) Conformador elevador de nível

O circuito da Fig.4.19 tem a finalidade de converter os sinais digitais com níveis CMOS de 5V, provenientes da saída do gerador de delay (PIC 16F628), e transformá-los em níveis de 15V, que serão necessários para que o circuito *driver* (IR 2110) funcione corretamente.

Tensões estabilizadas
que alimentam o Sistema

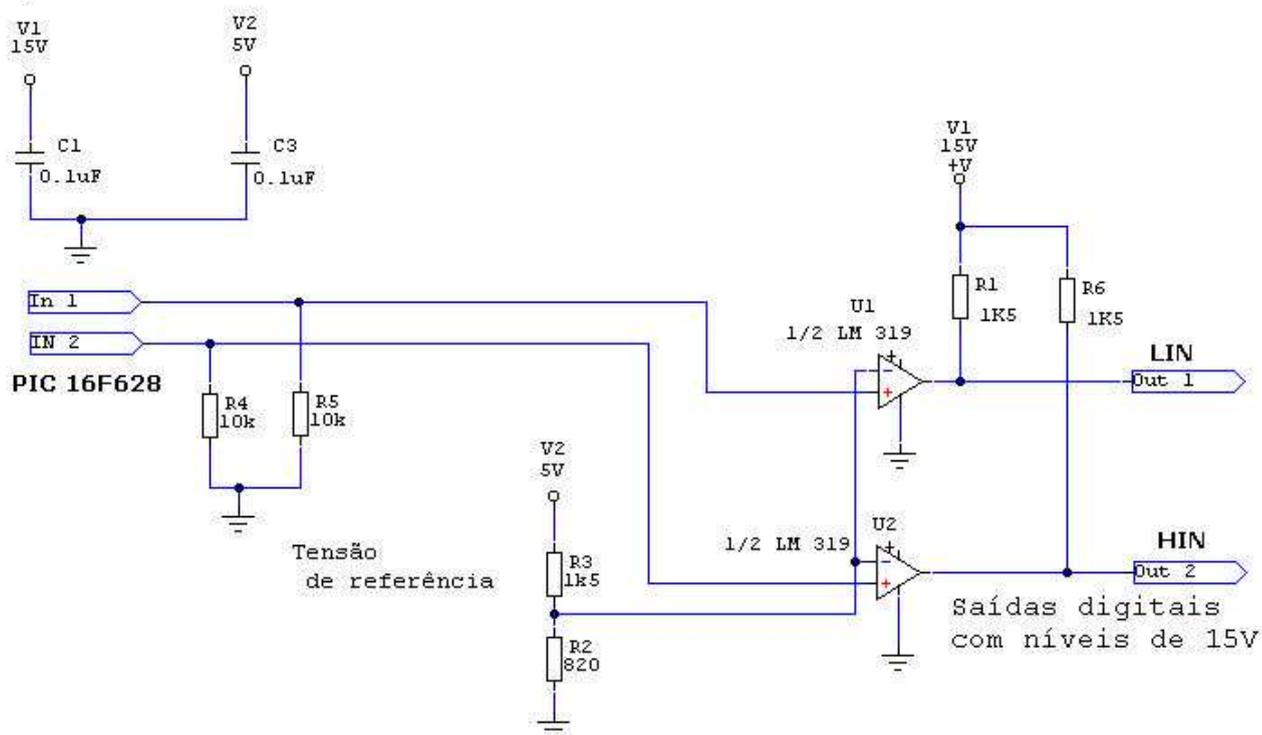


Fig.4.19: Circuito elevador de nível.

Neste circuito, sinais de entrada acima de 2V serão interpretados como nível lógico 1 e abaixo deste valor como nível lógico 0.

4..9) Sensor de corrente

O sensor de corrente utilizado é o LA25NP, fabricado pela LEM. Este sensor foi ajustado para uma fornecer um sinal de 0.145 V/A. Este sensor possui banda passante de DC a 100kHz e suporta uma corrente de até 25A (rms) [10].

5) Resultados experimentais

O anexo 1 apresenta o circuito completo, que é a união dos blocos já descritos anteriormente. Este esquema elétrico mostra o circuito completo do protótipo montado em bancada, com o qual foi possível a realização de experimentos para validar os conceitos e propostas ditas neste trabalho.

Para efeito de comparação, foi montado um protótipo montado (anexo 1), cuja fotografia pode ser vista na Fig.5.1.

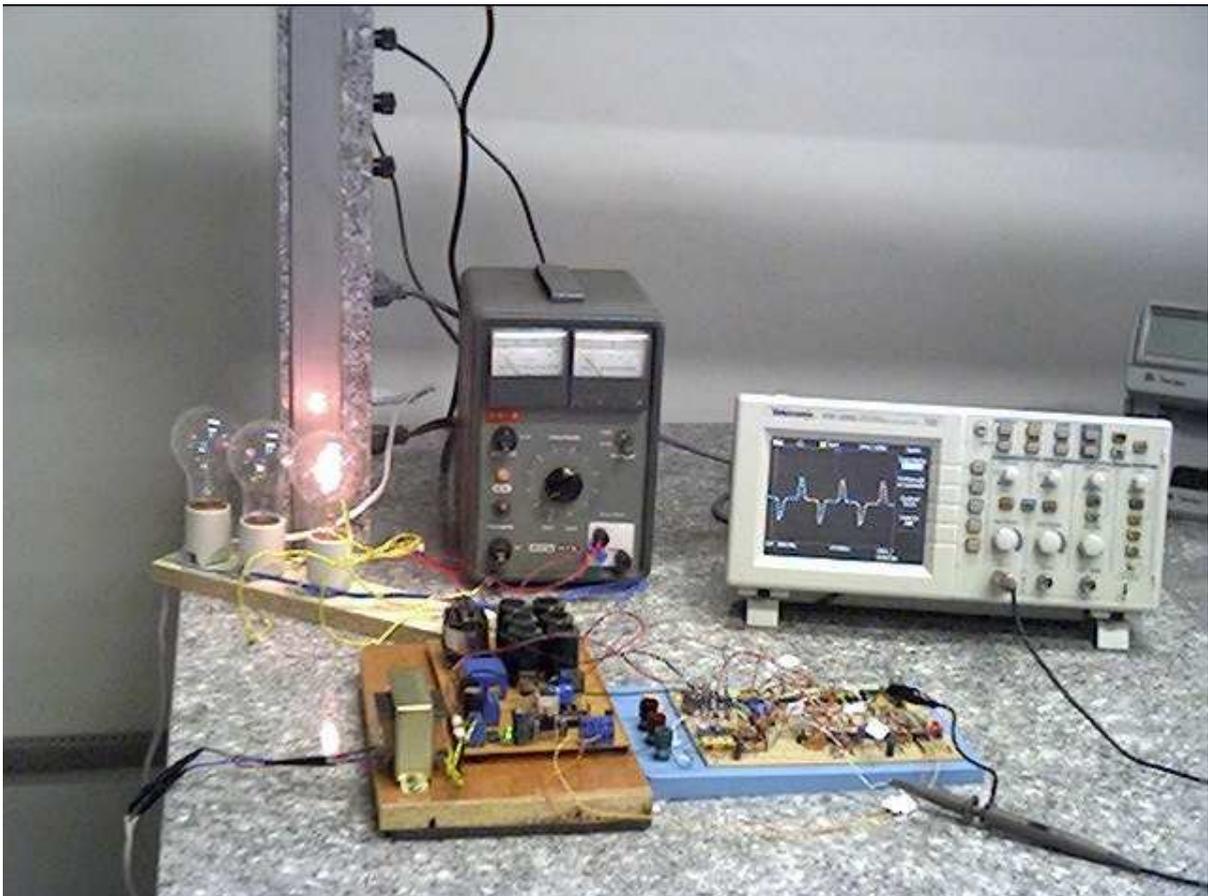


Fig.5.1: Protótipo experimental do conversor Boost com controle de fator de potência.

5.1) Medida experimental com controle por Banda de Histerese

Foram usados os mesmos parâmetros das simulações, ou seja:

- Tensão de entrada 20 Vp, 60 Hz;
- Resistência de carga $R_L=150$ ohms.

Foram obtidos os seguintes resultados, mostrados na figura a seguir (Fig 5.2):

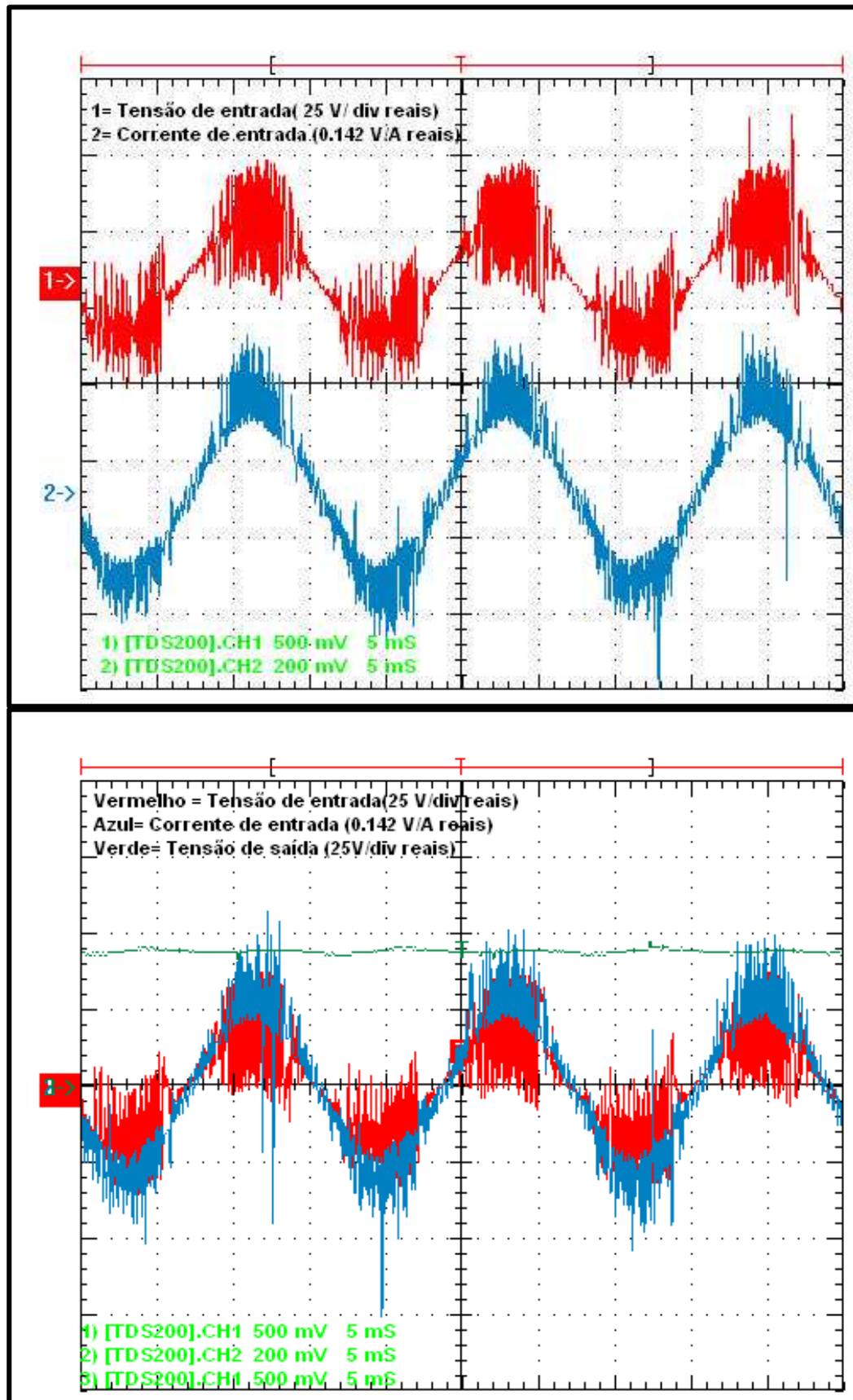


Fig.5.2: Primeiro resultado experimental (Azul-Corrente de entrada I_s ; Vermelho-Tensão de entrada V_s ; Verde-Tensão de saída V_o).

Os resultados experimentais foram obtidos com o uso de um osciloscópio digital (Tektronix TDS 1002) o qual possui um sistemas de aquisição de dados com o uso do programa WaveStar, próprio para este instrumento. Com estes dados, no formato de texto(arquivo.txt) foi feito um programa em Matlab, o qual calcula o THD% e o FP. O programa é mostrado no anexo 5.

Os principais resultados obtidos foram:

- Corrente de entrada I_s em fase com a tensão de entrada;
- Tensão média de saída de aproximadamente 40 VDC;
- Valor da fundamental da corrente de aproximadamente 1.5 A de pico;
- Alta distorção na tensão de entrada da fonte;
- Fator de Potência da fundamental ≈ 1 ;
- Corrente de entrada I_s chaveando dentro de uma banda;
- $THDi = 31\%$;
- $THDv = 25\%$;
- $FP = 0.953$;

Nesta medida verifica-se grande distorção na tensão de entrada, causada pelo chaveamento.

Pode ser observado também, a elevação da tensão média de saída (V_o), pois neste caso V_o é maior do que $2V_s$. Esta elevação de tensão dependerá do valor da impedância da carga, pois não há controle de tensão, apenas se mantém o valor médio da corrente entre os limites impostos (Banda de Histerese).

Deve-se enfatizar que esta técnica requer sempre uma carga conectada à saída, caso contrário o valor da tensão média de saída poderia ser muito grande, caso o chaveamento não fosse interrompido por algum tipo de proteção.

Estes resultados estão de acordo com os valores obtidos na simulação digital feita com o Psim 6.0 (Fig.3.15).

5.1.1) Experimentos com o controle desativado

A Fig. 5.3 apresenta os resultados quando o é desativado, isto é, os mosfets são mantidos no corte. Isto torna o circuito apenas um retificador dobrador de tensão. Pode

ser verificado que o formato da onda da corrente na fonte (I_s) possui grande distorção e está completamente fora de fase com a onda de tensão V_s .

Também pode ser visto o grande afundamento provocado pelos elevados picos de corrente, que aumentam o THDi%. Isso evidencia que correntes deste tipo, com picos acentuados, devem sempre ser evitados.

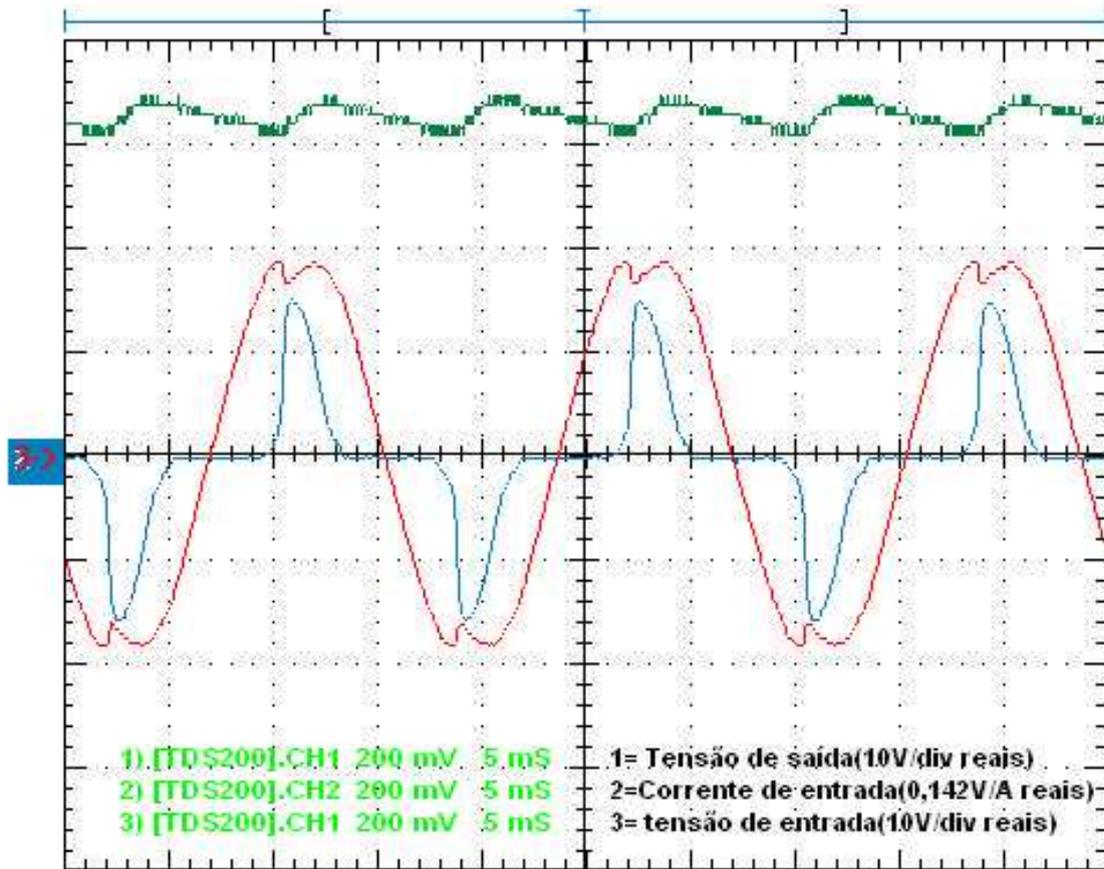


Fig.5.3: Primeiro resultado experimental com o controle desativado.

Os resultados obtidos neste experimento foram:

- Corrente de entrada I_s fora de fase em relação à tensão de entrada;
- Tensão média de saída de aproximadamente 32VDC;
- Valor do pico de corrente na entrada de aproximadamente 2.5 A;
- Alta distorção na tensão de entrada da fonte;
- THDi = 122.4% ;
- THDv = 0.56%;
- FP = 0.629.

5.2) Experimento com sobrecarga

Neste experimento, o valor da carga foi reduzido drasticamente. Não foram obtidos os dados de THDi% e FP pois esta medida tem por finalidade verificar a atuação do controle. Na Fig.5.4 são mostradas as mesmas medições do caso anterior e pode-se notar que a tensão de entrada sofreu grande distorção, pois o valor da resistência de carga foi reduzido drasticamente.

Para este caso, os parâmetros foram:

- Tensão de entrada 20 Vp;
- Resistência de carga $R_L=65$ ohms.

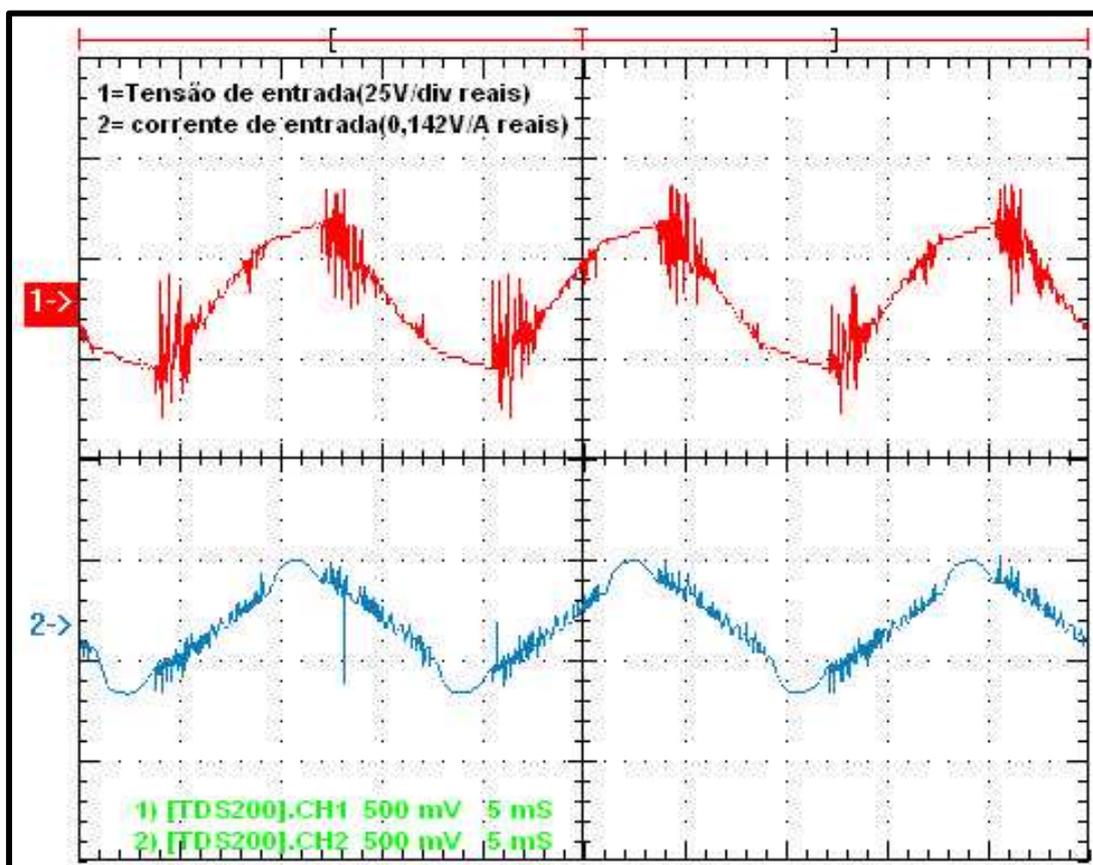


Fig.5.4:Resultados experimentais com sobrecarga.

Pode-se observar, a partir da Fig.5.4, que como a tensão de entrada foi distorcida, o controle produziu uma corrente em fase com esta tensão distorcida, uma vez que a referência para o controlador é proveniente da tensão de entrada (Vs). Portanto o controle seguiu a referência de tensão, mesmo que distorcida.

5.3) Experimento com a aplicação de filtros

Conforme foi verificado nas simulações e nos experimentos, a tensão de entrada possui componente fundamental em fase com a componente fundamental da corrente de entrada. Isso leva a um fator de potência da fundamental unitário, ou muito próximo deste valor. Porém as distorções verificadas, na tensão de entrada e na forma da onda de corrente (apresenta uma banda de chaveamento) são indesejáveis.

Mediante isto, é mostrado na Fig.5.5 o resultado da aplicação de um filtro, nos sinais mostrados na Fig.5.2. Neste caso, por questões de comodidade, o filtro usado foi do próprio osciloscópio, o qual possui um recurso de realizar a média das medidas. Porém pode-se dizer que estes resultados também seriam vistos experimentalmente, com uso de um filtro passa-baixa passivo, colocado na entrada do conversor. A análise destes resultados mostra que como os ruídos estão na frequência de chaveamento, que é um valor muito maior do que a frequência da rede elétrica fica, fácil realizar na prática a filtragem destes ruídos de chaveamento.

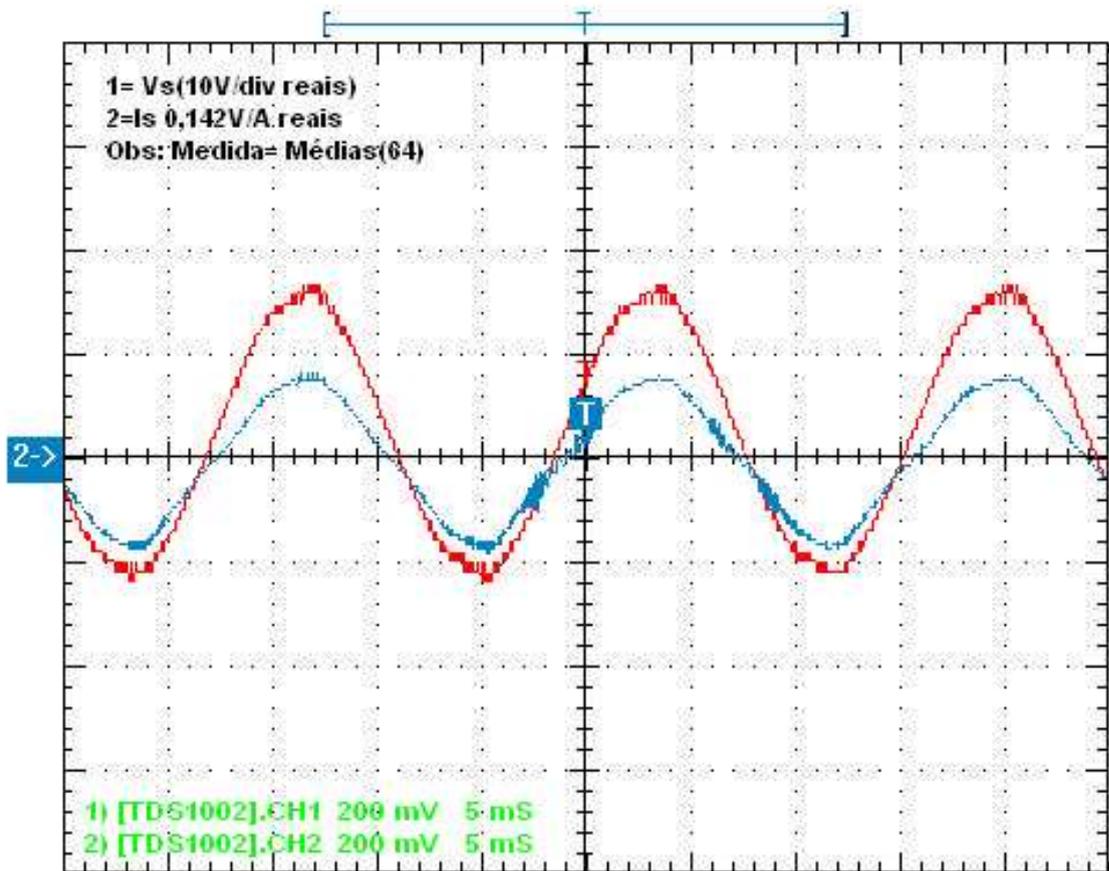


Fig.5.5: Resultados experimentais com uso de filtro.

A Fig.5.5 mostra que, graças à filtragem, a tensão e a corrente serão compostas apenas por suas componentes fundamentais, que estarão em fase, o resultará em um $FP=1$. Como as componentes harmônicas nestes sinais são bastante pequenas, o $THDi\%$ será muito baixo, mostrando a eficácia e a utilidade desta técnica estudada neste trabalho.

Os principais resultados obtidos foram:

- Corrente de entrada I_s em fase com a tensão de entrada;
- Valor da fundamental da corrente de aproximadamente 1.5 A de pico;
- Baixa distorção na tensão e na corrente de entrada da fonte;
- Fator de Potência da fundamental = 1;
- $THDi = 10.2\%$;
- $THDv = 3.9\%$;
- $FP = 0.993$.

Mediante estes resultados, pode-se concluir que a técnica de chaveamento estudada neste trabalho permitiu que o fator de potência (FP) alcance o valor de 0.993, com índices de $THD\%$ também muito melhores, quando comparados com os resultados obtidos com o dobrador de tensão convencional e com o retificador monofásico em ponte.

A tabela 5.1 resume os resultados experimentais.

Tabela 5.1: Sumário dos resultados experimentais.

Topologia Dobradora de tensão	$V_s(\text{pico})$	$THDi$	$THDv$	FP	V_{dc}
Com controle ativado e sem aplicação de filtro	20	31%	25%	0.953	40
Com controle desativado	20	122.4%	0.56%	0.629	32
Com controle ativado e com aplicação de filtro	20	10.2%	3.9%	0.993	39

6) Conclusões

Os principais pontos verificados foram:

- A técnica de controle de corrente por banda de histerese usada neste trabalho foi eficaz na correção do fator de potência, na topologia analisada.
- O ruído gerado pelo chaveamento poderia ser atenuado por filtros passa-baixas convencionais.
- A propriedade de elevação da tensão de saída foi verificada no conversor Boost dobrador de Tensão.
- Os resultados das simulações foram validados pelos experimentos;

Portanto, de acordo com o que foi exposto pode-se concluir que o desempenho apresentado pelo protótipo atingiu os critérios pré-estabelecidos, ou seja, implementar um circuito que possa corrigir o Fator de Potência.

Este trabalho possibilitou a prática dos ensinamentos obtidos na Universidade, além da obtenção de novos conhecimentos necessários ao pleno êxito do projeto.

7) Dificuldades durante o desenvolvimento do protótipo

Como o controle envolveu partes analógicas, diversos problemas tiveram que ser levados em conta, durante a implementação do controlador.

Dentre estas dificuldades destacam-se:

- Problema com ruído causado pelo chaveamento do circuito, o que influenciou na alimentação dos demais circuitos, inclusive no microcontrolador usado. Este problema foi contornado com o uso de diversos capacitores de desacoplamento nas tensões de alimentação dos circuitos (capacitores de 4,7µF de Tântalun) ;
- Dificuldade de obtenção do sinal senoidal de referência, pois obrigou o uso de um circuito diferencial para isto.
- Necessidade de filtragem do sinal de referência, causando problemas de atraso de fase neste sinal de referência, bem como problemas com desbalanceamento nos dois filtros usados;

- Necessidade de um pleno estudo e conhecimento profundo do funcionamento do circuito integrado IR2110, usado como *driver*, sem o qual não seria possível a implementação do protótipo.

Além destas dificuldades mencionadas, o circuito protótipo apresentou problemas de estabilidade ao transitório e às variações da tensão da fonte **V_s**.

A pós efetuar a etapa de pré-carga e ser ativado o controle, o circuito apresentou, às vezes, problemas com o rastreamento completo do sinal senoidal de referência, onde apenas um dos semiciclos do sinal de referência provocava o chaveamento. No outro semiciclo o circuito se comportava como retificador dobrador convencional. Isto pode ser entendido como um problema de desbalanceamento dos valores das tensões nos capacitores da etapa de potência, sendo importante a adição de uma malha de controle de tensão que possibilite uma igualdade nestes valores, em malha fechada.

Já em relação às variações da tensão de entrada, o circuito também apresentou os mesmos efeitos de rastreamento descrito anteriormente, caso o circuito estivesse em funcionamento e sua tensão de entrada fosse alterada excessivamente para mais ou para menos. Isso é devido ao fato de que o sinal de sincronismo tem sua amplitude alterada em função do valor de amplitude da tensão de entrada, onde este é coletado. Talvez uma técnica onde o sinal de referência fosse sintetizado, com mesma frequência em fase com a tensão da fonte **V_s**, apresente melhores resultados.

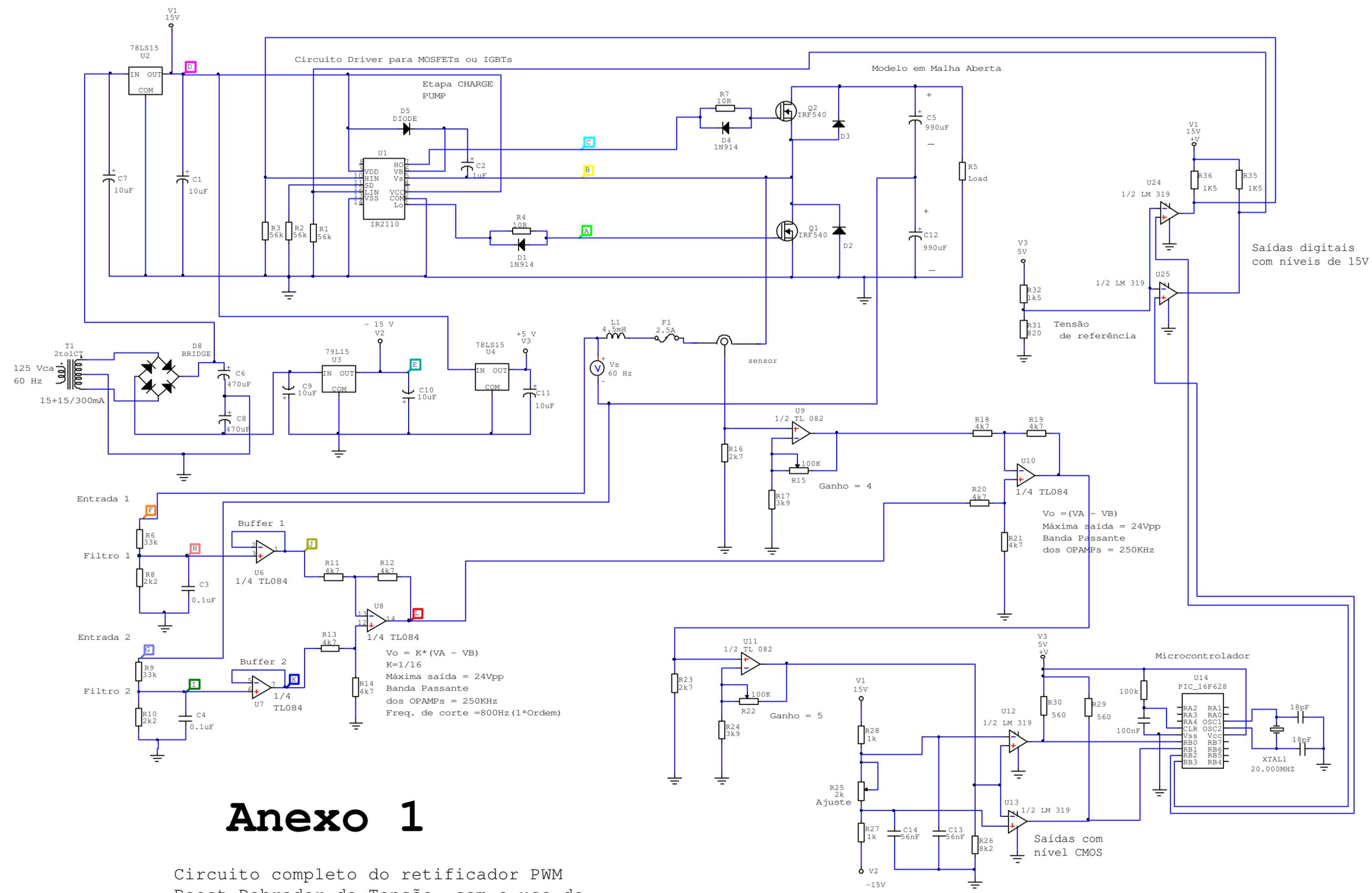
8) Propostas para continuação deste estudo

Para uma continuação deste estudo sugere-se a implementação da malha de controle de tensão, bem como no uso de compensadores mais elaborados, como PID, nas malhas de controle de tensão e de corrente.

Também será de grande importância a implementação do controle por técnicas digitais (discretizado), com o uso, por exemplo, de um DSP (*Digital Signal Processor*).

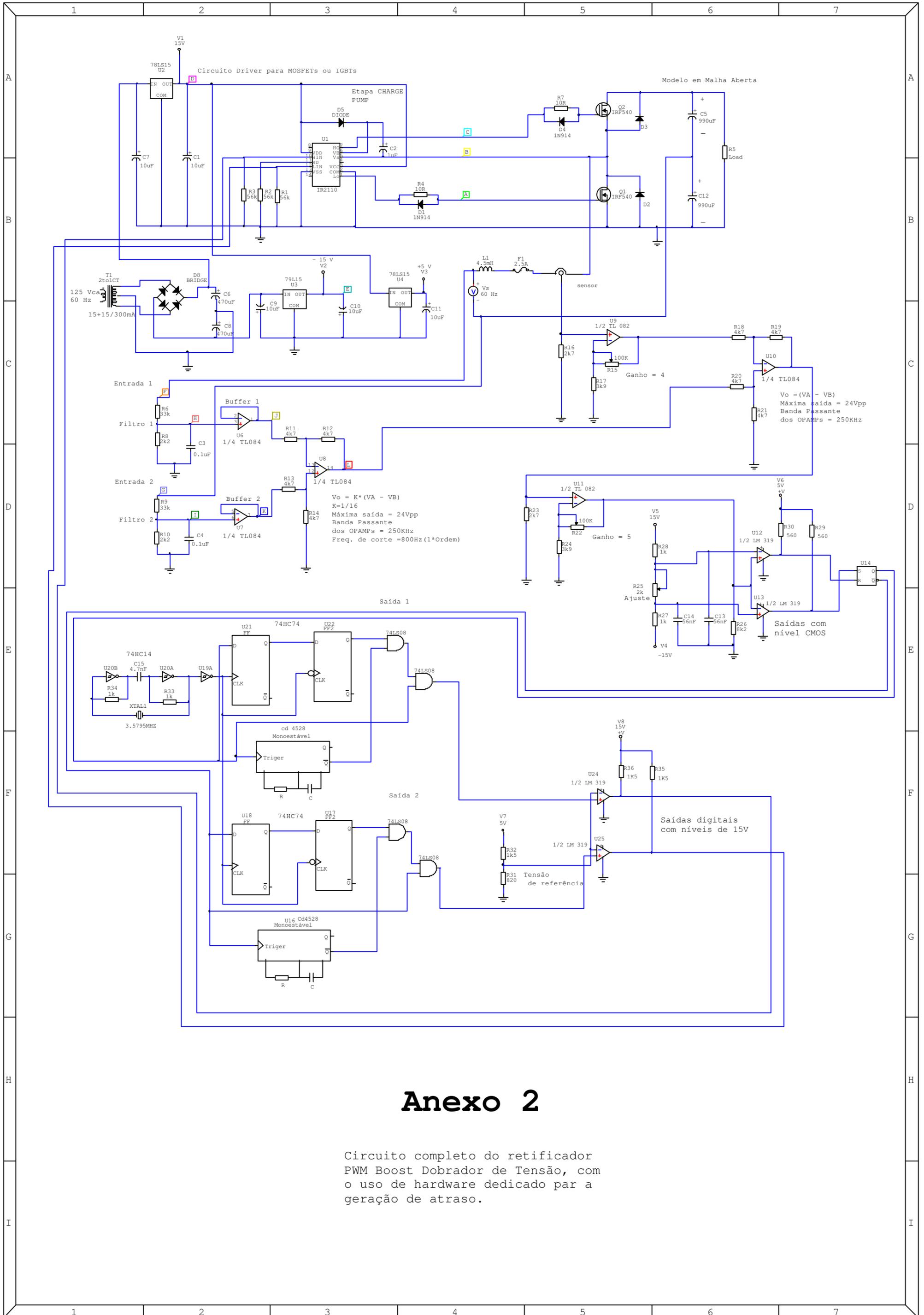
BIBLIOGRAFIA

- [1] APPLICATION NOTE AN978 - ***HV Floating MOS-Gate Driver Ics*** - International Rectifier (<http://www.irf.com/technical-info/an978/an-978.htm>) ;
- [2] Padilha, Felipe J. C., Bellar, Maria Dias, “***Modeling and Control of the Half-Bridge Voltage-Doubler Boost Converter***”, 2003 IEEE International Symposium on Industrial Electronics (ISIE 2003), Rio de Janeiro – Brasil, June 2003.
- [3] N. Mohan, Tore. M. Undeland, and William. P. Robins, ***Power Electronics Converters, Applications and Design***, Third Edition. New York: Wiley, 2003.
- [4] Proj. J.T.Boys, A.W.Green, BE, “***Current-forced single-phase reversible rectifier***”, IEEE PROCEEDINGS, Vol. 136, Pt. B, No. 5, SEPTEMBER 1989.
- [5] Rashid, Muhammad H. – ***Power Eletronics – Circuits, Devices, and Aplications*** - second edition – Prentice Hall – 1999;
- [6] Ramesh Srinivasan & Ramesh Oruganti, “***A Unity Power Factor Converter Using Half-Bridge Boost Topology***”, IEEE Transactions on Power Electronics, Vol. 13, No. 3, May 1998.
- [7] <http://www.irf.com/product-info/datasheets/data/ir2110.pdf>
- [8] <http://www.irf.com/product-info/datasheets/data/pvin.pdf>
- [9] <http://www.irf.com>
- [10] <http://www.lem.com>
- [11] <http://www.microchip.com>



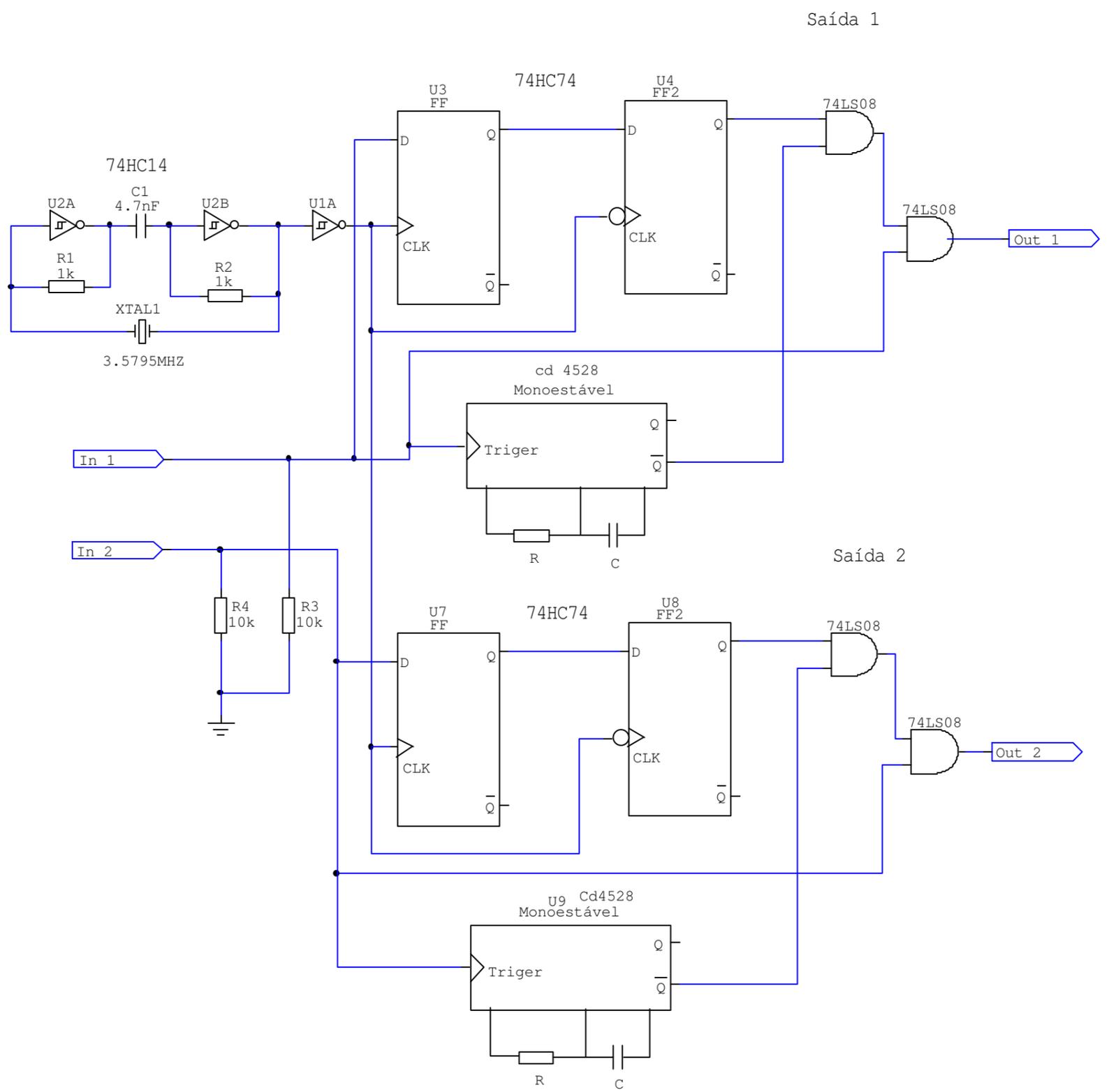
Anexo 1

Circuito completo do retificador PWM Boost Dobrador de Tensão, com o uso do microcontrolador PIC 16F628.



Anexo 2

Circuito completo do retificador PWM Boost Dobrador de Tensão, com o uso de hardware dedicado par a geração de atraso.



Anexo 3

Circuito dedicado para a geração de atraso.

Anexo 4

Programa de geração de atraso para o acionamento dos Mosfets

```
#include <16F628.h>
#use delay (clock=2000000) //Indica o clock do Microcontrolador
#define Dead_Time 2 //Define o tempo de Delay em us

void main()
{
//----- Inicialização do sistema-----//

    DISABLE_INTERRUPTS(GLOBAL); //Desabilita interrupções,timers e o
    CCP_OFF; //módulo comparador CCP
    T2_DISABLED;
    T1_DISABLED;
    SET_TRIS_B( 0b00000011); //DefineRB0 e BB1 como entradas
    SET_TRIS_A( 0x00); //Define bits do Port_A como saídas
    OUTPUT_B(0x00); //Inicializa todas as saídas em 0
    OUTPUT_A(0x00); //Não será utilizado efetivamente como
    //saída

//----- Programa-----//

    while(true) //Testa continuamente as entradas
    {
        if(input(PIN_B1)) //Testa entrada RB1
        {
            output_bit( PIN_B2, 0); //Será usado B2 e B3 como saídas
            delay_us(Dead_Time);
            output_bit( PIN_B3, 1);
        }
        if(input(PIN_B0)) //Testa entrada BR0
        {
            output_bit( PIN_B3, 0);
            delay_us(Dead_Time);
            output_bit( PIN_B2, 1);
        }
    }
}
```

Anexo 5

```
% Programa para o cálculo do THD, FP, FPT e valores RMS
baseado em amostras de sinais
% provenientes do programa de aquisição de dados
WaveStar.(Osciloscópio Tektronix TDS 1002)
% LEE - UERJ
% Jan/2004

% Propriedades da saída
clc;
clear;
echo off;

% Pegando os dados do usuário
cd /dados
nome_tensao = input('Digite o arquivo com amostras da tensao:
', 's');
nome_corrente = input('Digite o arquivo com amostras da
corrente: ', 's');
nome_vo = input('Digite o arquivo com amostras de Vo: ',
's');
acochambra = input('acochambra(s/n)? ', 's');

% Lendo os arquivos pra matrizes
fd = fopen(nome_vo, 'r');
linha = fgets(fd);
linha = fscanf(fd, '%g%c S\t%g%c V\n', [4 inf]);
linha = linha';
fclose(fd);
[No, j] = size(linha);
for i=1:No
    v_vo(i) = linha(i, 3);
    if (linha(i, 4) == 109)
        v_vo(i) = v_vo(i) / 1000;
    end
    if (linha(i, 4) == 117)
        v_vo(i) = v_vo(i) / 1000000;
    end
end
end

fd = fopen(nome_tensao, 'r');
linha = fgets(fd);
linha = fscanf(fd, '%g%c S\t%g%c V\n', [4 inf]);
linha = linha';
fclose(fd);
```

```

[N, j] = size(linha);
for i=1:N
    v_tensao(i) = linha(i, 3);
    if (linha(i, 4) == 109)
        v_tensao(i) = v_tensao(i) / 1000;
    end
    if (linha(i, 4) == 117)
        v_tensao(i) = v_tensao(i) / 1000000;
    end
end

fd = fopen(nome_corrente, 'r');
linha = fgets(fd);
linha = fscanf(fd, '%g%c S\t%g%c V\n', [4 inf]);
linha = linha';
fclose(fd);
[N, j] = size(linha);
for i=1:N
    v_corrente(i) = linha(i, 3);
    if (linha(i, 4) == 109)
        v_corrente(i) = v_corrente(i) / 1000;
    end
    if (linha(i, 4) == 117)
        v_corrente(i) = v_corrente(i) / 1000000;
    end
end

% Multiplica por seus valores corretivos (escalas dos sensores
de medição)
for i=1:N
    v_tensao(i) = v_tensao(i) * 50;
    v_corrente(i) = v_corrente(i) * 1000/145;
end
for i=1:No
    v_vo(i) = v_vo(i) * 50;
end

% Armazena valores nas variaveis
[N, j] = size(linha);

% Faz FFT das amostras
V_tensao = fft(v_tensao);
V_corrente = fft(v_corrente);

% Zera a segunda metade simetrica, ja que na DFT  $X[n] = X[N - n]$ , lembrando

```

```

% que X[0] e a componente DC.
%for i = round(N/2):N
%     V_tensao(i) = 0;
%     V_corrente(i) = 0;
%end
% Acochambra os resultados
if (acochambra == 's')
    for i = 3:N-1
        V_tensao(i) = V_tensao(i) / 4;
        V_corrente(i) = V_corrente(i) / 4;
    end
    v_tensao = real(ifft(V_tensao, N));
    v_corrente = real(ifft(V_corrente, N));
end

% Calcula modulo e angulo
PH_tensao = phase(V_tensao);
PH_corrente = phase(V_corrente);
MAG_tensao = abs(V_tensao);
MAG_corrente = abs(V_corrente);

% Desenha os graficos
W = linspace(1, N, N);
figure(1)
plot(W, v_tensao, 'r-')
TITLE('Tensao sem controle')
YLABEL('Volts')
figure(2)
plot(W, v_corrente, 'b-')
TITLE('Corrente sem controle')
YLABEL('Amperes')
W = linspace(1, N, N);
figure(3)
W = linspace(1, No, No);
plot(W, v_vo, 'r-')
TITLE('Vo sem controle')
YLABEL('Volts');
AXIS([0 No 0 50]);

% Calcula valores uteis nos calculos
% tensao
soma = 0;
for a = 3:round(N/2)
    soma = soma + MAG_tensao(a) * MAG_tensao(a);
end
Vdis = sqrt(soma);
% corrente

```

```
soma = 0;
for a = 3:round(N/2)
    soma = soma + MAG_corrente(a) * MAG_corrente(a);
end
Idis = sqrt(soma);
Is = sqrt(soma + MAG_corrente(2) * MAG_corrente(2));

% Calcula THD, FP e FPT
Vthd = Vdis / MAG_tensao(2)
Ithd = Idis / MAG_corrente(2)
FP = (MAG_corrente(2) / Is) * cos(PH_corrente(2) -
PH_tensao(2))
FPT = cos(PH_corrente(2) - PH_tensao(2)) / sqrt(1 + Ithd *
Ithd)
```

Anexo 6

Materiais e Softwares utilizados

- Osciloscópio TDS 210 com módulo de aquisição de dados para PC -Tektronix ;
- Osciloscópio TDS 1002 – Tektronix ;
- Ponteira de tensão diferencial –(High Voltage Differential Probe – P5200 Tektronix) ;
- Um computador PC;
- Fonte de alimentação PS5000D – ICEL Gubintec ;
- 1 Protoboard ICEL Gubintec – Modelo MSB 400 ;
- 1 Gerador de funções Minipa – Modelo MFG-4200 ;
- 1 Multímetro digital Minipa – Modelo MDM-8045 ;
- 1 Multímetro digital Minipa – Modelo ET-1001 ;
- Componentes eletrônicos que compõem os circuitos ;
- Alicates de corte e Bico ;
- Fios para as ligações em Protoboard ;
- Software WaveStar – Demo (para o osciloscópio Tektronics) ;
- Software MatLab5.3 (Estudent Version);
- Software Pspice8.0 (Estudent Version);
- Software PSIM 6.0 (Estudent Version);